

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09160525 A**(43) Date of publication of application: **20.06.97**

(51) Int. Cl. **G09G 3/28**
H01J 11/00

(21) Application number: **08194320**(22) Date of filing: **24.07.96**

(30) Priority: **03.08.95 JP 07198417**
04.10.95 JP 07284541

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **HIROSE TADATSUGU**
ISHII TOMOYUKI
KANAZAWA GIICHI
ASAMI FUMITAKA
UEDA YOSHIO
KISHI TOMOKATSU
TOMIO SHIGETOSHI

(54) **PLASMA DISPLAY PANEL, ITS DRIVING METHOD, AND PLASMA DISPLAY DEVICE**

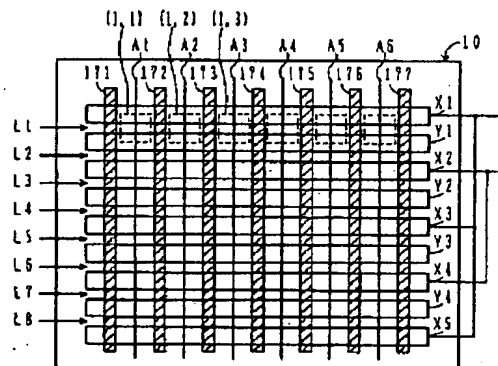
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high picture quality, more specifically high definition, gradation and brightness, enhanced display quality, and high contrast.

SOLUTION: An electrode driving circuit performs interlaced scanning so that the odd- and even-numbered lines of surface-discharge electrode spacings L1 to L8 have their maintaining pulse voltage waveforms set in opposite phase to each other. Thus, when either the odd- or even-numbered line is displayed, the voltage applied to the other electrode spacing becomes zero, eliminating the need to provide bulkheads over the surface-discharge electrodes. As the surface-discharge electrodes, an X (X1 to X5) electrode is placed on each side of a Y (Y1 to Y4) electrode, and the display line of an odd-numbered frame is set between the Y electrode and the X electrode on one side and supplied with a maintaining pulse while the display line of an even-numbered frame is set between the Y electrode and the X electrode on the other side and supplied with a maintaining pulse. Blind lines are set at every other spacing between the surface-discharge electrodes, and at the blind lines, light emitted from a discharge is blocked or external light is absorbed. A plurality of

address electrodes are arranged on one line of picture elements and are selectively connected to a pad thereon so that a plurality of the lines can be selected simultaneously.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2801893号

(45) 発行日 平成10年(1998) 9月21日

(24) 登録日 平成10年(1998) 7月10日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

E

H 0 1 J 11/00

H 0 1 J 11/00

K

請求項の数28(全 26 頁)

(21) 出願番号 特願平8-194320

(22) 出願日 平成8年(1996) 7月24日

(65) 公開番号 特開平9-160525

(43) 公開日 平成9年(1997) 6月20日

審査請求日 平成10年(1998) 2月23日

(31) 優先権主張番号 特願平7-198417

(32) 優先日 平7(1995) 8月3日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-284541

(32) 優先日 平7(1995) 10月4日

(33) 優先権主張国 日本 (J P)

早期審査対象出願

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72) 発明者 広瀬 忠継

神奈川県川崎市中原区上小田中4丁目1
番1号 富士通株式会社内

(72) 発明者 石井 智之

神奈川県川崎市中原区上小田中4丁目1
番1号 富士通株式会社内

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中4丁目1
番1号 富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

審査官 奥村 元宏

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネル駆動方法及びプラズマディスプレイ装置

1

(57) 【特許請求の範囲】

【請求項1】 複数のX電極と複数のY電極とが互いに平行に、且つ各Y電極が該X電極に挟まれるように配置され、該X電極及び該Y電極と離間して交差するように複数のアドレス電極が配置されたプラズマディスプレイパネルの駆動方法であって、

該各Y電極と、該各Y電極と隣り合う一方の各X電極との間の放電により表示を行う第1表示工程と、該各Y電極と、該各Y電極と隣り合う他方の各X電極との間の放電により表示を行う第2表示工程とを、時間的に分離することを特徴とするプラズマディスプレイパネル駆動方法。

【請求項2】 上記X電極及び上記Y電極は、互いに交互に配置されており、
上記第1表示工程は、

2

上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、

該各Y電極と該一方の各X電極との間に交流維持パルスを供給し、該各Y電極と該一方の各X電極との間で維持放電を実施するサスティン期間とを有し、

上記第2表示工程は、

10 該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、

該各Y電極と該他方の各X電極との間に交流維持パルス

を供給し、該各Y電極と該他方の各X電極との間で維持放電を実施するサスティン期間とを有する、
ことを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

【請求項3】 上記第1表示工程におけるアドレス期間では、上記Y電極とこれに隣り合う上記一方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように選択的にパルスが印加され、

上記第2表示工程におけるアドレス期間では、該Y電極とこれに隣り合う上記他方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように選択的にパルスが印加される、

ことを特徴とする請求項2記載のプラズマディスプレイパネル駆動方法。

【請求項4】 上記第1表示工程におけるサスティン期間では、上記Y電極の印加電圧波形と、隣り合う上記他方のX電極の印加電圧波形とが同相であり、かつ、該Y電極の印加電圧波形と、隣り合う上記一方のX電極の印加電圧波形とが逆相になるように、上記交流維持パルスを供給し、

上記第2表示工程におけるサスティン期間では、該Y電極の印加電圧波形と、隣り合う該一方のX電極の印加電圧波形とが同相であり、かつ、該Y電極の印加電圧波形と、隣り合う該他方のX電極の印加電圧波形とが逆相になるように、上記交流維持パルスを供給する、

ことを特徴とする請求項2記載のプラズマディスプレイパネル駆動方法。

【請求項5】 上記プラズマディスプレイパネルは、基板上に、 $n+1$ 本の上記X電極($X_1 \sim X_{n+1}$)及び n 本の上記Y電極($Y_1 \sim Y_n$)が、 $i=1 \sim n$ の各 i につき、 Y_i 電極が X_i 電極と X_{i+1} 電極の間に設けられるように、互いに交互にかつ平行に配置されており、
上記第1表示工程のアドレス期間において、 $i=1 \sim n$ の各 i につき Y_i 電極をその順で順次走査すると共に、
アドレス放電を行い、

上記第2表示工程のアドレス期間において、 $i=1 \sim n$ の各 i につき Y_i 電極をその順で順次走査すると共に、
アドレス放電を行う、

ことを特徴とする請求項2記載のプラズマディスプレイパネル駆動方法。

【請求項6】 上記第1表示工程のアドレス期間において、奇数番目の Y_{2i-1} 電極への走査パルスの印加の際に、該 Y_{2i-1} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、

偶数番目の Y_{2i} 電極への走査パルスの印加の際に、該Y

X_{2i} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加するものであり、

上記第2表示工程のアドレス期間において、奇数番目の Y_{2i-1} 電極への走査パルスの印加の際に、該 Y_{2i-1} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、

偶数番目の Y_{2i} 電極への走査パルスの印加の際に、該 Y_{2i} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加する、

ことを特徴とする請求項5記載のプラズマディスプレイパネル駆動方法。

【請求項7】 上記第1表示工程のアドレス期間において、上記 Y_i 電極への走査パルスの印加の際に、該 Y_i 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極に、選択的に、該走査パルスとは逆極性のパルス V_x を印加し、

上記第2表示工程のアドレス期間において、上記 Y_i 電極への走査パルスの印加の際に、該 Y_i 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極に、選択的に、該走査パルスとは逆極性のパルス V_x を印加する、

ことを特徴とする請求項5記載のプラズマディスプレイパネル駆動方法。

【請求項8】 上記プラズマディスプレイパネルは、基板上に、 $n+1$ 本の上記X電極($X_1 \sim X_{n+1}$)及び n 本の上記Y電極($Y_1 \sim Y_n$)が、 $i=1 \sim n$ の各 i につき、 Y_i 電極が X_i 電極と X_{i+1} 電極の間に設けられるように配置されており、

上記第1表示工程の上記アドレス期間において、奇数番目の各 Y_{2i-1} 電極と偶数番目の各 Y_{2i} 電極の一方を順に走査してアドレス放電を行った後に、他方を順に走査してアドレス放電を行い、

上記第2表示工程の上記アドレス期間において、奇数番目の各 Y_{2i-1} 電極と偶数番目の各 Y_{2i} 電極の一方を順に走査してアドレス放電を行った後に、他方を順に走査してアドレス放電を行う、

ことを特徴とする請求項2記載のプラズマディスプレイパネル駆動方法。

【請求項 9】 上記第 1 表示工程のアドレス期間において、奇数番目の各 Y_{2i-1} 電極を走査している間、該 Y_{2i-1} 電極とこれに隣り合う上記一方の X 電極との電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるように、該隣り合う一方の X 電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、偶数番目の各 Y_{2i} 電極を走査している間、該 Y_{2i} 電極とこれに隣り合う上記一方の X 電極との電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるように、該隣り合う一方の X 電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加するものであり、

上記第 2 表示工程のアドレス期間において、奇数番目の各 Y_{2i-1} 電極を走査している間、該 Y_{2i-1} 電極とこれに隣り合う上記他方の X 電極との電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるように、該隣り合う他方の X 電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、

偶数番目の各 Y_{2i} 電極を走査している間、該 Y_{2i} 電極とこれに隣り合う上記他方の X 電極との電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるように、該隣り合う他方の X 電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加する、

ことを特徴とする請求項 8 記載のプラズマディスプレイパネル駆動方法。

【請求項 10】 上記第 1 表示工程及び上記第 2 表示工程は、それぞれ複数のサブフィールドから構成されており、各々の該サブフィールドは、各放電セルを初期化するためのリセット期間と、上記アドレス期間と、上記サステイン期間とを有し、任意の該サブフィールドを組み合わせるにより階調表示を実現することを特徴とする請求項 2 記載のプラズマディスプレイパネル駆動方法。

【請求項 11】 上記リセット期間において、隣り合う上記 X 電極と上記 Y 電極との間に全面書き込みパルス V_w を印加し、

上記第 1 表示工程における上記複数のサブフィールドのうち、先頭に配置される第 1 サブフィールド以外のサブフィールドのリセット期間においては、上記 Y 電極と、隣り合う上記他方の X 電極との間でリセット放電が生じることを禁止するキャンセル電圧を印加し、

上記第 2 表示工程における上記複数のサブフィールドのうち、先頭に配置される第 1 サブフィールド以外のサブフィールドのリセット期間においては、上記 Y 電極と、隣り合う上記一方の X 電極との間でリセット放電が生じることを禁止するキャンセル電圧を印加する、

ことを特徴とする請求項 10 記載のプラズマディスプレイ

イパネル駆動方法。

【請求項 12】 上記プラズマディスプレイパネルは、 n 本の上記 Y 電極 ($Y_1 \sim Y_n$) が互いに平行に配置され、且つ $i=1 \sim n$ の各 i につき、 Y_i 電極の両側にそれぞれ X_{2i-1} 電極及び X_{2i} 電極が配置されており、

上記第 1 表示工程は、

上記各 Y 電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該 Y 電極と上記隣り合う一方の X 電極である X_{2i-1} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各 Y 電極と該一方の X 電極である各 X_{2i-1} 電極との間に交流維持パルスを供給し、該各 Y 電極と該一方の X 電極である各 X_{2i-1} 電極との間で維持放電を実施するサステイン期間とを有し、

上記第 2 表示工程は、

該各 Y 電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該 Y 電極と上記隣り合う他方の X 電極である X_{2i} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各 Y 電極と該他方の X 電極である各 X_{2i} 電極との間に交流維持パルスを供給し、該各 Y 電極と該他方の X 電極である各 X_{2i} 電極との間で維持放電を実施するサステイン期間とを有する、

ことを特徴とする請求項 1 記載のプラズマディスプレイパネル駆動方法。

【請求項 13】 上記第 1 表示工程におけるアドレス期間では、上記 Y 電極とこれに隣り合う上記一方の X 電極との間にその電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるようにパルスが印加されると共に、上記 Y 電極とこれに隣り合う上記他方の X 電極との間の電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えないように、該他方の X 電極の電位が維持され、

上記第 2 表示工程におけるアドレス期間では、上記 Y 電極とこれに隣り合う上記他方の X 電極との間にその電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えるようにパルスが印加されると共に、上記 Y 電極とこれに隣り合う上記一方の X 電極との間の電位差が、アドレス放電でトリガされる場合の X-Y 電極間放電開始電圧を越えないように、該一方の X 電極の電位が維持される、

ことを特徴とする請求項 12 記載のプラズマディスプレイパネル駆動方法。

【請求項 14】 上記第 1 表示工程におけるサステイン期間では、上記 Y 電極とこれに隣り合う上記一方の X 電極との間に上記交流維持パルスを印加すると共に、上記 Y 電極とこれに隣り合う上記他方の X 電極との間の電位差が、X-Y 電極間放電開始電圧を越えないように、該

他方のX電極の電位が維持され、

上記第2表示工程におけるサステイン期間では、上記Y電極とこれに隣り合う上記他方のX電極との間に上記交流維持パルスを印加すると共に、上記Y電極とこれに隣り合う上記一方のX電極との間の電位差が、X-Y電極間放電開始電圧を越えないように、該一方のX電極の電位が維持される、

ことを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

【請求項15】 上記第1表示工程及び上記第2表示工程は、それぞれ複数のサブフィールドから構成されており、各々の該サブフィールドは、各放電セルを初期化するためのリセット期間と、上記アドレス期間と、上記サステイン期間とを有し、任意の該サブフィールドを組み合わせるにより階調表示を実現することを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

【請求項16】 1フレームを、上記第1表示工程である奇数フィールドと、上記第2表示工程である偶数フィールドとにより構成することを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

【請求項17】 複数のX電極と複数のY電極とが互いに平行に、且つ各Y電極が該X電極に挟まれるように配置されると共に、該X電極及びY電極と離間して交差するように複数のアドレス電極が配置されたプラズマディスプレイパネルと、

第1表示期間で、該各Y電極と、該各Y電極と隣り合う一方の各X電極との間の放電により表示を行い、該第1表示期間と時間的に分離された第2表示期間で、各Y電極と、該各Y電極と隣り合う他方の各X電極との間の放電により表示を行うように、該X電極及び該Y電極を駆動する電極駆動回路と、

を有することを特徴とするプラズマディスプレイ装置。

【請求項18】 上記プラズマディスプレイパネルの上記X電極及びY電極は、互いに交互に配置されており、上記電極駆動回路は、

上記第1表示期間において、

アドレス期間で、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、

サステイン期間で、該各Y電極と該一方の各X電極との間に交流維持パルスを供給し、該各Y電極と該一方の各X電極との間で維持放電を実施し、

上記第2表示期間において、

アドレス期間で、該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極との間に放電を行わせて、維

持放電に必要な壁電荷を蓄積し、

サステイン期間で、該各Y電極と該他方の各X電極との間に交流維持パルスを供給し、該各Y電極と該他方の各X電極との間で維持放電を実施する、

ことを特徴とする請求項17記載のプラズマディスプレイ装置。

【請求項19】 上記電極駆動回路は、

上記アドレス電極を駆動するためのアドレス回路と、上記アドレス期間において、上記Y電極の走査を行うための走査回路と、

10 上記サステイン期間において、奇数番目の上記Y電極に上記交流維持パルスを印加するための奇数Yサステイン回路と、

該サステイン期間において、偶数番目の上記Y電極に上記交流維持パルスを印加するための偶数Yサステイン回路と、

該サステイン期間において、奇数番目の上記X電極に上記交流維持パルスを印加するための奇数Xサステイン回路と、

20 該サステイン期間において、偶数番目の上記X電極に上記交流維持パルスを印加するための偶数Xサステイン回路と、

を有することを特徴とする請求項18記載のプラズマディスプレイ装置。

【請求項20】 上記電極駆動回路は、上記アドレス期間において上記X電極の走査を行うための走査回路を有することを特徴とする請求項19記載のプラズマディスプレイ装置。

【請求項21】 上記電極駆動回路は、

30 第1の上記交流維持パルスを供給する第1サステイン回路と、

該第1の交流維持パルスとは位相が 180° ずれた、第2の交流維持パルスを生成する第2サステイン回路と、奇数番目の上記Y電極、偶数番目の上記Y電極、奇数番目の上記X電極及び偶数番目の上記X電極に、該第1の交流維持パルスと該第2の交流維持パルスの一方を選択的に供給するためのスイッチング回路と、

上記第1表示期間のサステイン期間において、該奇数番目のY電極及び該偶数番目のX電極に該第1の交流維持パルスを供給させると共に、該偶数番目のY電極及び該奇数番目のX電極に該第2の交流維持パルスを供給させ、

上記第2表示期間のサステイン期間において、該奇数番目のY電極及び該奇数番目のX電極に該第1の交流維持パルスを供給させると共に、該偶数番目のY電極及び該偶数番目のX電極に該第2の交流維持パルスを供給させるように、該スイッチング回路を制御する制御回路と、を有することを特徴とする請求項18記載のプラズマディスプレイ装置。

50 【請求項22】 上記電極駆動回路は、上記アドレス期

間において上記X電極の走査を行うための走査回路を有することを特徴とする請求項21記載のプラズマディスプレイ装置。

【請求項23】 上記プラズマディスプレイパネルの上記X電極及びY電極はいずれも、基板上に形成された透明電極と、該透明電極の中央線に沿って該透明電極に積層され、該透明電極より幅が狭い金属電極とを有することを特徴とする請求項18に記載のプラズマディスプレイ装置。

【請求項24】 上記プラズマディスプレイパネルは、 n 本の上記Y電極($Y_1 \sim Y_n$)が互いに平行に配置され、且つ $i=1 \sim n$ の各 i につき、 Y_i 電極の両側にそれぞれ X_{2i-1} 電極及び X_{2i} 電極が配置されており、上記電極駆動回路は、

上記第1表示期間において、

アドレス期間で、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極である X_{2i-1} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サスティン期間で、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間に交流維持パルスを供給し、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間で維持放電を実施し、

上記第2表示期間において、

アドレス期間で、該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極である X_{2i} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サスティン期間で、該各Y電極と該他方のX電極である各 X_{2i} 電極との間に交流維持パルスを供給し、該各Y電極と該他方のX電極である各 X_{2i} 電極との間で維持放電を実施する、

ことを特徴とする請求項17記載のプラズマディスプレイ装置。

【請求項25】 上記電極駆動回路は、

上記アドレス電極を駆動するためのアドレス回路と、
上記アドレス期間において、上記Y電極の走査を行うための走査回路と、

上記サスティン期間において、上記Y電極に上記交流維持パルスを印加するためのYサスティン回路と、

該サスティン期間において、奇数番目の上記X電極に上記交流維持パルスを印加するための奇数Xサスティン回路と、

該サスティン期間において、偶数番目の上記X電極に上記交流維持パルスを印加するための偶数Xサスティン回路と、

を有することを特徴とする請求項24記載のプラズマディスプレイ装置。

【請求項26】 上記プラズマディスプレイパネルの上記X電極及びY電極はいずれも、基板上に形成された透明電極と、該透明電極上に積層され、該透明電極より幅が狭い金属電極とを有し、

該Y電極の金属電極は、該透明電極の中央線に沿って配置され、

該X電極の金属電極は、該透明電極の、該Y電極から離れる側に配置されていることを特徴とする請求項24記載のプラズマディスプレイ装置。

10 【請求項27】 上記プラズマディスプレイパネルの上記Y電極は、基板上に形成された金属電極であり、
上記X電極は、該基板上に形成された透明電極と、該透明電極上に積層され、該透明電極より幅が狭い金属電極とを有し、

該X電極の金属電極は、該透明電極の、該Y電極から離れる側に配置されていることを特徴とする請求項24記載のプラズマディスプレイ装置。

【請求項28】 上記電極駆動回路は、上記第1表示期間で1フレームの奇数フィールドを処理し、上記第2表示工程で該1フレームの偶数フィールドを処理することを特徴とする請求項17記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電AC型プラズマディスプレイパネル駆動方法及びプラズマディスプレイ装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネル(PDP)

30 は、自己発光型であるので視認性が良く、薄型で大画面表示及び高速表示が可能であることから、CRTに替わる表示パネルとして注目されている。特に面放電AC型PDPは、フルカラー表示に適しており、ハイビジョン分野で期待され、高画質化が要求されている。高画質化には、高精細化、高階調化、高輝度化、黒表示の低輝度化、高コントラスト化等がある。高精細化は、画素ピッチを狭くすることにより達成され、高階調化は、フレーム内のサブフィールド数を増加させることにより達成され、高輝度化は、維持放電回数を多くすることにより達成され、黒表示の低輝度化は、リセット期間における発光量を低減することにより達成される。

40 【0003】図30は、従来のAC型かつ面放電型のプラズマディスプレイパネル(PDP)PDP10Pの概略構成を示す。対向するガラス基板の一方(観測者側)には、電極X1～X5が等ピッチで互いに平行に形成され、これらに電極Y1～Y5がそれぞれ平行に対をなして形成されている。他方のガラス基板には、これら電極と直交する方向にアドレス電極A1～A6が形成され、その上に全面的に蛍光体が被着されている。対向するガラス基板の間には、1画素の放電が隣接画素に影響して

誤表示されないようにするために、隔壁171～177と隔壁191～196とが互いに交差して格子状に配列されている。

【0004】面放電型は、同一面上の隣合う電極間で放電が生ずるので、対向面に形成された蛍光体にイオンが衝突して蛍光体が劣化するのを防止することができるという利点を有する。しかし、表示行L1～L5の各々に一対の電極が配置されているので、画素ピッチを狭くするのが制限され、高精細化が妨げられる。また、電極数が多いので、駆動回路の規模が大きくなる。

【0005】そこで、図31に示すようなPDP10Qが提案されている（特開平5-2993号公報、特開平2-220330号公報）。PDP10Qは、面放電電極である電極X1～X5及びY1～Y4の中央線に沿って隔壁191～199が配置されており、両側の電極X1及びX5を除いた電極X2～X4及び電極Y1～Y4は、アドレス電極方向に隣り合う表示行で兼用される。これにより、電極数がほぼ半減するので、画素ピッチを狭くすることができ、図30の場合よりも高精細化が可能となる。また、駆動回路の規模を低減することができる。

【0006】

【発明が解決しようとする課題】しかし、上記公報では、表示行L1～L8について線順次に書き込みを行っており、隔壁191～199が存在しなければアドレス電極方向の隣り合う画素について放電が影響し、誤表示されるので、隔壁191～199を除去することができず、画素ピッチの縮小による高精細化が妨げられる。また、電極の中央線に沿って隔壁191～199を備えるのは容易でなく、PDP10Qが高価になる原因となる。さらに、上記公報では、電極印加電圧波形が具体的に開示されておらず、実用化されていない。面放電電極方向の隔壁を除去するためには、図30の構成において、隔壁191～196の各々の両側の電極間を広くしてその電界を低減しなければならないので、画素ピッチが増加し、高精細化が妨げられる。例えば、電極X1-Y1間が50μmのとき電極Y1-X2間が300μmにされる。

【0007】

【0008】

【0009】本発明の目的は、このような問題点を鑑み、画素ピッチをより縮小して高精細化を図ることができるプラズマディスプレイパネルの駆動方法及びプラズマディスプレイ装置を提供することにある。

【0010】

【0011】

【課題を解決するための手段及びその作用効果】請求項1は、例えば図1又は図18に示す如く、複数のX電極と複数のY電極とが互いに平行に、且つ各Y電極が該X電極に挟まれるように配置され、該X電極及び該Y電極

と離間して交差するように複数のアドレス電極が配置されたプラズマディスプレイパネルの駆動方法であって、例えば図7及び8、又は図22及び23に示す如く、該各Y電極と、該各Y電極と隣り合う一方の各X電極との間の放電により表示を行う第1表示工程と、該各Y電極と、該各Y電極と隣り合う他方の各X電極との間の放電により表示を行う第2表示工程とを、時間的に分離する。このプラズマディスプレイパネル駆動方法によれば、Y電極と、これと隣り合う一方のX電極との間の第1表示行とY電極と、これと隣り合う他方のX電極との間の第2表示行との一方が放電している時には他方が放電していないので、プラズマディスプレイパネルのX電極及びY電極上の中央線に沿って隔壁を備える必要がなく、これにより、プラズマディスプレイパネルの製造が容易になって安価になり、かつ、画素ピッチを縮小して高精細化を達成することができるという効果を奏する。

【0012】請求項2のプラズマディスプレイパネル駆動方法では、請求項1において、例えば図1に示す如く、上記X電極及び上記Y電極は、互いに交互に配置されており、上記第1表示工程は、例えば図7及び図8に示す如く、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各Y電極と該一方の各X電極との間に交流維持パルスを供給し、該各Y電極と該一方の各X電極との間で維持放電を実施するサスティン期間とを有し、上記第2表示工程は、該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各Y電極と該他方の各X電極との間に交流維持パルスを供給し、該各Y電極と該他方の各X電極との間で維持放電を実施するサスティン期間とを有する。

【0013】請求項3のプラズマディスプレイパネル駆動方法では、請求項2において、例えば図7及び図8に示す如く、上記第1表示工程におけるアドレス期間では、上記Y電極とこれに隣り合う上記一方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように選択的にパルスが印加され、上記第2表示工程におけるアドレス期間では、該Y電極とこれに隣り合う上記他方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように選択的にパルスが印加される。

【0014】請求項4のプラズマディスプレイパネル駆動方法では、請求項2において、例えば図7及び図8に示す如く、上記第1表示工程におけるサスティン期間で

は、上記Y電極の印加電圧波形と、隣り合う上記他方のX電極の印加電圧波形とが同相であり、かつ、該Y電極の印加電圧波形と、隣り合う上記一方のX電極の印加電圧波形とが逆相になるように、上記交流維持パルスを供給し、上記第2表示工程におけるサスティン期間では、該Y電極の印加電圧波形と、隣り合う該一方のX電極の印加電圧波形とが同相であり、かつ、該Y電極の印加電圧波形と、隣り合う該他方のX電極の印加電圧波形とが逆相になるように、上記交流維持パルスを供給する。このプラズマディスプレイパネル駆動方法によれば、上記第1表示行と上記第2表示行とが放電に関し互いに影響せず、効果的である。

【0015】請求項5のプラズマディスプレイパネル駆動方法では、請求項2において、上記プラズマディスプレイパネルは、例えば図1に示す如く、基板上に、 $n+1$ 本の上記X電極($X_1 \sim X_{n+1}$)及び n 本の上記Y電極($Y_1 \sim Y_n$)が、 $i=1 \sim n$ の各 i につき、Y電極がX電極と X_{i+1} 電極の間に設けられるように、互いに交互にかつ平行に配置されており、例えば図6(A)に示す如く、上記第1表示工程のアドレス期間において、 $i=1 \sim n$ の各 i につきY電極をその順で順次走査すると共に、アドレス放電を行い、上記第2表示工程のアドレス期間において、 $i=1 \sim n$ の各 i につきY電極をその順で順次走査すると共に、アドレス放電を行う。

【0016】請求項6のプラズマディスプレイパネル駆動方法では、請求項5において、例えば図7及び8に示す如く、上記第1表示工程のアドレス期間において、奇数番目の Y_{2i-1} 電極への走査パルスの印加の際に、該 Y_{2i-1} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、偶数番目の Y_{2i} 電極への走査パルスの印加の際に、該 Y_{2i} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加するものであり、上記第2表示工程のアドレス期間において、奇数番目の Y_{2i-1} 電極への走査パルスの印加の際に、該 Y_{2i-1} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、偶数番目の Y_{2i} 電極への走査パルスの印加の際に、該 Y_{2i} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各奇数番目の X_{2i-1} 電極に、

該走査パルスとは逆極性のパルス V_x を印加する。

【0017】請求項7では、請求項5において、例えば図7及び図8に示す如く、上記第1表示工程のアドレス期間において、上記Y電極への走査パルスの印加の際に、該Y電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極に、選択的に、該走査パルスとは逆極性のパルス V_x を印加し上記第2表示工程のアドレス期間において、上記Y電極への走査パルスの印加の際に、該Y電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極に、選択的に、該走査パルスとは逆極性のパルス V_x を印加する。

【0018】請求項8のプラズマディスプレイパネル駆動方法では、請求項2において、例えば図9に示す如く、上記プラズマディスプレイパネルは、基板上に、 $n+1$ 本の上記X電極($X_1 \sim X_{n+1}$)及び n 本の上記Y電極($Y_1 \sim Y_n$)が、 $i=1 \sim n$ の各 i につき、Y電極がX電極と X_{i+1} 電極の間に設けられるように配置されており、例えば図6(B)、図10及び図11に示す如く、上記第1表示工程の上記アドレス期間において、奇数番目の各 Y_{2i-1} 電極と偶数番目の各 Y_{2i} 電極の一方を順に走査してアドレス放電を行った後に、他方を順に走査してアドレス放電を行い、上記第2表示工程の上記アドレス期間において、奇数番目の各 Y_{2i-1} 電極と偶数番目の各 Y_{2i} 電極の一方を順に走査してアドレス放電を行った後に、他方を順に走査してアドレス放電を行う。このプラズマディスプレイパネル駆動方法によれば、アドレス期間において、奇数番目のX電極及び偶数番目のX電極に供給されるパルスを連続させることが可能となるので、パルスの個数を低減して消費電力を低減することができるという効果を奏する。

【0019】請求項9のプラズマディスプレイパネル駆動方法では、請求項8において、例えば図10及び図11に示す如く、上記第1表示工程のアドレス期間において、奇数番目の各 Y_{2i-1} 電極を走査している間、該 Y_{2i-1} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、偶数番目の各 Y_{2i} 電極を走査している間、該 Y_{2i} 電極とこれに隣り合う上記一方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う一方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加するものであり、上記第2表示工程のアドレス期間において、奇数番目の各 Y_{2i-1} 電極を走査している間、該 Y_{2i-1} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電で

トリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各偶数番目の X_{2i} 電極に、該走査パルスとは逆極性のパルス V_x を印加し、偶数番目の各 Y_{2i} 電極を走査している間、該 Y_{2i} 電極とこれに隣り合う上記他方のX電極との電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるように、該隣り合う他方のX電極である各奇数番目の X_{2i-1} 電極に、該走査パルスとは逆極性のパルス V_x を印加する。

【0020】請求項10のプラズマディスプレイパネル駆動方法では、請求項2において、例えば図5に示す如く、上記第1表示工程及び上記第2表示工程は、それぞれ複数のサブフィールドから構成されており、各々の該サブフィールドは、各放電セルを初期化するためのリセット期間と、上記アドレス期間と、上記サスティン期間とを有し、任意の該サブフィールドを組み合わせることにより階調表示を実現する。

【0021】請求項11のプラズマディスプレイパネル駆動方法では、請求項10において、例えば図16及び図17に示す如く、上記リセット期間において、隣り合う上記X電極と上記Y電極との間に全面書き込みパルス V_w を印加し、上記第1表示工程における上記複数のサブフィールドのうち、先頭に配置される第1サブフィールド以外のサブフィールドのリセット期間においては、上記Y電極と、隣り合う上記他方のX電極との間でリセット放電が生じることを禁止するキャンセル電圧を印加し、上記第2表示工程における上記複数のサブフィールドのうち、先頭に配置される第1サブフィールド以外のサブフィールドのリセット期間においては、上記Y電極と、隣り合う上記一方のX電極との間でリセット放電が生じることを禁止するキャンセル電圧を印加する。このプラズマディスプレイパネル駆動方法によれば、無効発光が低減されるので、黒表示の輝度が低下して表示品質が向上するという効果を奏する。

【0022】請求項12のプラズマディスプレイパネル駆動方法では、請求項1において、例えば図18に示す如く、上記プラズマディスプレイパネルは、 n 本の上記Y電極($Y_1 \sim Y_n$)が互いに平行に配置され、且つ $i=1 \sim n$ の各 i につき、 Y_i 電極の両側にそれぞれ X_{2i-1} 電極及び X_{2i} 電極が配置されており、例えば図22及び図23に示す如く、上記第1表示工程は、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極である X_{2i-1} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間に交流維持パルスを供給し、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間で維持放電を実施するサスティン期間とを有し、上記第2表示工程は、該各Y電極と表示デー

タに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極である X_{2i} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積するアドレス期間と、該各Y電極と該他方のX電極である各 X_{2i} 電極との間に交流維持パルスを供給し、該各Y電極と該他方のX電極である各 X_{2i} 電極との間で維持放電を実施するサスティン期間とを有する。このプラズマディスプレイパネル駆動方法によれば、上記第1表示行と上記第2表示行との一方が放電している時、他方が放電していないので、プラズマディスプレイパネルのX電極及びY電極の中央線に沿って隔壁を備える必要がなく、これにより、プラズマディスプレイパネルの製造が容易になって安価になり、かつ、画素ピッチを縮小して高精細化を達成することができるという効果を奏する。また、平行な3本の電極で2表示行を形成しているので平行な4本の電極で2表示行を形成している従来例よりも画素ピッチを短くでき、高精細化が可能であるという効果を奏する。また、Y電極を偶数と奇数とに分割する必要がないので、構成が簡単になるという効果を奏する。

【0023】請求項13のプラズマディスプレイパネル駆動方法では、請求項12において、上記第1表示工程におけるアドレス期間では、上記Y電極とこれに隣り合う上記一方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるようにパルスが印加されると共に、上記Y電極とこれに隣り合う上記他方のX電極との間の電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えないように、該他方のX電極の電位が維持され、上記第2表示工程におけるアドレス期間では、上記Y電極とこれに隣り合う上記他方のX電極との間にその電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えるようにパルスが印加されると共に、上記Y電極とこれに隣り合う上記一方のX電極との間の電位差が、アドレス放電でトリガされる場合のX-Y電極間放電開始電圧を越えないように、該一方のX電極の電位が維持される。

【0024】請求項14のプラズマディスプレイパネル駆動方法では、請求項12において、例えば図22及び図23に示す如く、上記第1表示工程におけるサスティン期間では、上記Y電極とこれに隣り合う上記一方のX電極との間に上記交流維持パルスを印加すると共に、上記Y電極とこれに隣り合う上記他方のX電極との間の電位差が、X-Y電極間放電開始電圧を越えないように、該他方のX電極の電位が維持され、上記第2表示工程におけるサスティン期間では、上記Y電極とこれに隣り合う上記他方のX電極との間に上記交流維持パルスを印加すると共に、上記Y電極とこれに隣り合う上記一方のX電極との間の電位差が、X-Y電極間放電開始電圧を越

えないように、該一方のX電極の電位が維持される。

【0025】請求項15のプラズマディスプレイパネル駆動方法では、請求項12において、例えば図5に示す如く、上記第1表示工程及び上記第2表示工程は、それぞれ複数のサブフィールドから構成されており、各々の該サブフィールドは、各放電セルを初期化するためのリセット期間と、上記アドレス期間と、上記サステイン期間とを有し、任意の該サブフィールドを組み合わせたことにより階調表示を実現する。請求項16のプラズマディスプレイパネル駆動方法では、請求項1において、例えば図5に示す如く、1フレームを、上記第1表示工程である奇数フィールドと、上記第2表示工程である偶数フィールドとにより構成する。

【0026】請求項17のプラズマディスプレイ装置では、請求項1の方法に対応しており、複数のX電極と複数のY電極とが互いに平行に、且つ各Y電極が該X電極に挟まれるように配置されると共に、該X電極及びY電極と離間して交差するように複数のアドレス電極が配置されたプラズマディスプレイパネルと、第1表示期間で、該各Y電極と、該各Y電極と隣り合う一方の各X電極との間の放電により表示を行い、該第1表示期間と時間的に分離された第2表示期間で、各Y電極と、該各Y電極と隣り合う他方の各X電極との間の放電により表示を行うように、該X電極及び該Y電極を駆動する電極駆動回路とを有する。

【0027】請求項18のプラズマディスプレイ装置では、請求項17において、上記プラズマディスプレイパネルの上記X電極及びY電極は、互いに交互に配置されており、上記電極駆動回路は、上記第1表示期間において、アドレス期間で、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サステイン期間で、該各Y電極と該一方の各X電極との間に交流維持パルスを送給し、該各Y電極と該一方の各X電極との間で維持放電を実施し、上記第2表示期間において、アドレス期間で、該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サステイン期間で、該各Y電極と該他方の各X電極との間に交流維持パルスを送給し、該各Y電極と該他方の各X電極との間で維持放電を実施する。

【0028】請求項19のプラズマディスプレイ装置では、請求項18において、上記電極駆動回路は、例えば図4に示す如く、上記アドレス電極を駆動するためのアドレス回路と、上記アドレス期間において、上記Y電極の走査を行うための走査回路と、上記サステイン期間に

において、奇数番目の上記Y電極に上記交流維持パルスを送加するための奇数Yサステイン回路と、該サステイン期間において、偶数番目の上記Y電極に上記交流維持パルスを送加するための偶数Yサステイン回路と、該サステイン期間において、奇数番目の上記X電極に上記交流維持パルスを送加するための奇数Xサステイン回路と、該サステイン期間において、偶数番目の上記X電極に上記交流維持パルスを送加するための偶数Xサステイン回路とを有する。請求項20のプラズマディスプレイ装置では、請求項19において、上記電極駆動回路は、例えば図12に示す如く、上記アドレス期間において上記X電極の走査を行うための走査回路を有する。このプラズマディスプレイ装置によれば、アドレス期間においてX電極には必要なパルスのみ供給され、X電極の奇数番目のグループ及び偶数番目のグループのそれぞれに共通に供給される場合よりも消費電力が低減されるという効果を奏する。

【0029】請求項21のプラズマディスプレイ装置では、請求項18において、記電極駆動回路は、例えば図13及び図14に示す如く、第1の上記交流維持パルスを送給する第1サステイン回路と、該第1の交流維持パルスとは位相が 180° ずれた、第2の交流維持パルスを送給する第2サステイン回路と、奇数番目の上記Y電極、偶数番目の上記Y電極、奇数番目の上記X電極及び偶数番目の上記X電極に、該第1の交流維持パルスと該第2の交流維持パルスの一方を選択的に供給するためのスイッチング回路と、上記第1表示期間のサステイン期間において、該奇数番目のY電極及び該偶数番目のX電極に該第1の交流維持パルスを送給させると共に、該偶数番目のY電極及び該奇数番目のX電極に該第2の交流維持パルスを送給させ、上記第2表示期間のサステイン期間において、該奇数番目のY電極及び該奇数番目のX電極に該第1の交流維持パルスを送給させると共に、該偶数番目のY電極及び該偶数番目のX電極に該第2の交流維持パルスを送給させるように、該スイッチング回路を制御する制御回路とを有する。このプラズマディスプレイ装置によれば、第1サステイン回路及び第2サステイン回路の出力が切り換えられて利用されるので、電極駆動回路の構成が簡単になるという効果を奏する。

【0030】請求項22のプラズマディスプレイ装置では、請求項21において、上記電極駆動回路は、例えば図15に示す如く、上記アドレス期間において上記X電極の走査を行うための走査回路を有する。請求項23のプラズマディスプレイ装置では、請求項18において、上記プラズマディスプレイパネルの上記X電極及びY電極はいずれも、例えば図2に示す如く、基板上に形成された透明電極と、該透明電極の中央線に沿って該透明電極に積層され、該透明電極より幅が狭い金属電極とを有する。

【0031】請求項24のプラズマディスプレイ装置で

は、請求項17において、例えば図18、図22及び図23に示す如く、上記プラズマディスプレイパネルは、 n 本の上記Y電極($Y_1 \sim Y_n$)が互いに平行に配置され、且つ $i=1 \sim n$ の各 i につき、 Y_i 電極の両側にそれぞれ X_{2i-1} 電極及び X_{2i} 電極が配置されており、上記電極駆動回路は、上記第1表示期間において、アドレス期間で、上記各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う一方のX電極である X_{2i-1} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サスティン期間で、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間に交流維持パルスを供給し、該各Y電極と該一方のX電極である各 X_{2i-1} 電極との間で維持放電を実施し、上記第2表示期間において、アドレス期間で、該各Y電極と表示データに応じて選択された上記アドレス電極との間で、順次アドレス放電を行うと共に、該アドレス放電をトリガとして該Y電極と上記隣り合う他方のX電極である X_{2i} 電極との間に放電を行わせて、維持放電に必要な壁電荷を蓄積し、サスティン期間で、該各Y電極と該他方のX電極である各 X_{2i} 電極との間に交流維持パルスを供給し、該各Y電極と該他方のX電極である各 X_{2i} 電極との間で維持放電を実施する。

【0032】請求項25のプラズマディスプレイ装置では、請求項24において、上記電極駆動回路は、例えば図18に示す如く、上記アドレス電極を駆動するためのアドレス回路と、上記アドレス期間において、上記Y電極の走査を行うための走査回路と、上記サスティン期間において、上記Y電極に上記交流維持パルスを印加するためのYサスティン回路と、該サスティン期間において、奇数番目の上記X電極に上記交流維持パルスを印加するための奇数Xサスティン回路と、該サスティン期間において、偶数番目の上記X電極に上記交流維持パルス印加するための偶数Xサスティン回路とを有する。請求項26のプラズマディスプレイ装置では、請求項24において、例えば図19に示す如く、上記プラズマディスプレイパネルの上記X電極及びY電極はいずれも、基板上に形成された透明電極と、該透明電極上に積層され、該透明電極より幅が狭い金属電極とを有し、該Y電極の金属電極は、該透明電極の中央線に沿って配置され、該X電極の金属電極は、該透明電極の、該Y電極から離れる側に配置されている。このプラズマディスプレイ装置によれば、例えばX電極-Y電極間に電圧を供給した場合に、X電極上の電界は金属電極側で強くなるので、高精細化のために電極ピッチを狭くしても、画素面積を、金属電極を透明電極の中央線に形成した場合よりも実質的に広げることができるという効果を奏する。X電極のY電極と反対側は非表示行であるので、このようにしても問題はなく、かつ、非表示行を実質的に狭くすることができるので好ましい。

【0033】請求項27のプラズマディスプレイ装置では、請求項24において、例えば図24に示す如く、上記プラズマディスプレイパネルの上記Y電極は、基板上に形成された金属電極であり、上記X電極は、該基板上に形成された透明電極と、該透明電極上に積層され、該透明電極より幅が狭い金属電極とを有し、該X電極の金属電極は、該透明電極の、該Y電極から離れる側に配置されている。このプラズマディスプレイ装置によれば、Y電極が細幅となるので、Y電極に走査パルスを供給した時の消費電力が低減されるという効果を奏する。また、画素ピッチをより狭くすることが可能となるという効果を奏する。請求項28のプラズマディスプレイ装置では、請求項17において、上記電極駆動回路は、上記第1表示期間で1フレームの奇数フィールドを処理し、上記第2表示工程で該1フレームの偶数フィールドを処理する。

【0034】

【発明の実施の形態】以下、図面に基いて本発明の実施形態を説明する。

20 【第1実施形態】図1は、本発明の第1実施形態のPDP10を示す。図1では、表示行L1のみについて画素を点線で示している。説明の簡単化のために、PDP10の画素数を、モノクロ画素換算で $6 \times 8 = 48$ としている。本発明は、カラー又はモノクロのいずれにも適用でき、カラーの1画素はモノクロの3画素に相当する。

30 【0035】PDP10は、製造を容易にしかつ画素ピッチを縮小して高精細化を図るために、図31のPDP10Qから隔壁191~199を除去した構成となっている。この除去により隣合う表示行間の影響で誤放電が生じないように、後述の如く面放電の電極間L1~L8の奇数行と偶数行とで維持パルス電圧波形が互いに逆相になるようにインタレース走査する(従来のインタレース走査では、L2、L4、L6、L8が完全非表示行であったので、奇数フィールドで行L1、L5を走査し偶数フィールドで行L3、L7を走査していた)。

40 【0036】図2は、カラー画素10aの対向面間を広げた状態を示す。図3は、カラー画素10aの、電極X1に沿った縦断面を示す。ガラス基板11の一面には、ITO膜等の透明電極121及び122が互いに平行に配置され、透明電極121及び122の長手方向に沿った電圧低下を低減するために、銅等の金属電極131及び132がそれぞれ透明電極121及び122上の中央線に沿って形成されている。透明電極121と金属電極131とで電極X1が構成され、透明電極122と金属電極132とで電極Y1が構成されている。ガラス基板11、電極X1及び電極Y1上には、壁電荷保持用の誘電体14が被着され、さらにその上にMgO保護膜15が被着されている。

50 【0037】一方、ガラス基板16の、MgO保護膜15と対向する面には、電極X1及びY1と直交する方向

に、アドレス電極A1、A2、A3及びこれらの間を仕切る隔壁171～173が形成されている。隔壁171と隔壁172との間、隔壁172と隔壁173との間及び隔壁173と隔壁174との間にはそれぞれ、放電により生じた紫外線が入射して赤色光を発する蛍光体181、緑色光を発する蛍光体182及び青色光を発する蛍光体183が被着されている。蛍光体181～183とMgO保護膜15との間の放電空間には、例えばNe+Xeペニング混合ガスが封入されている。

【0038】隔壁171～174は、放電により生じた紫外線が隣接画素に入射するのを防止し、また、放電空間を形成するためのスペーサとして機能する。蛍光体181～183を同一物質にすれば、PDP10はモノクロ表示用となる。図4は、上記構成のPDP10を用いたプラズマディスプレイ装置20の概略構成を示す。

【0039】制御回路21は、外部から供給される表示データDATAをPDP10用のデータに変換して、アドレス回路22のシフトレジスタ221に供給し、また、外部から供給されるクロックCLK、垂直同期信号VSYNC及び水平同期信号HSYNCに基づき、各種制御信号を生成して、構成要素22～27、281及び282へ供給する。

【0040】図7及び図8に示すような電圧波形を電極に印加するために、電源回路29から、アドレス回路22へ電圧Vaw、Va及びVeが供給され、奇数Yサステイン回路24及び偶数Yサステイン回路25の各々へ電圧-Vc、-Vy及びVsが供給され、奇数Xサステイン回路26及び偶数Xサステイン回路27の各々へ電圧Vw、Vx及びVsが供給される。

【0041】ボックス221中の数値は、互いに同一構成の要素を識別するためのものであり、例えば221

(3)はシフトレジスタ221の第3ビットである。他の構成要素についても同様である。アドレス回路22では、アドレス期間において、制御回路21から1行分の表示データがシフトレジスタ221に供給されると、ビット221(1)～(6)がそれぞれラッチ回路222のビット222(1)～(6)に保持され、その値に応じて、ドライバ223(1)～(6)内の不図示のスイッチがオン/オフ制御され、電圧Va又は0Vの2値電圧パターンがアドレス電極A1～A6に供給される。

【0042】走査回路23は、シフトレジスタ231とドライバ232とを備えている。アドレス期間では、シフトレジスタ231の直列データ入力端に各VSYNCサイクルの最初のアドレスサイクルのみ‘1’が供給され、これがアドレスサイクルに同期してシフトされる。シフトレジスタ231のビット231(1)～(4)の値により、ドライバ232(1)～(6)内の不図示のスイッチがオン/オフ制御され、選択電圧-Vy又は非選択電圧-Vcが電極Y1～Y4に印加される。すなわち、シフトレジスタ231のシフトにより電極Y1～Y

4が順に選択され、選択された電極Yに選択電圧-Vyが印加され、非選択の電極Yに非選択電圧-Vcが印加される。これら電圧-Vy及び-Vcは、奇数Yサステイン回路24及び偶数Yサステイン回路25から供給される。サステイン期間では、奇数Yサステイン回路24からドライバ232(1)及び(3)を介してY電極のうち奇数番目の電極Y1及びY3に、第1の維持パルス列が供給され、偶数Yサステイン回路25からドライバ232(2)及び(4)を介してY電極のうち偶数番目の電極Y2及びY4に、第1の維持パルス列と位相が180°ずれた第2の維持パルス列が供給される。

【0043】電極Xの回路では、サステイン期間において、奇数Xサステイン回路26からドライバ281を介し、X電極のうち奇数番目の電極X1、X3及びX5に、上記第2の維持パルス列が供給され、偶数Xサステイン回路27から、X電極のうち偶数番目の電極X2及びX4に、上記第1の維持パルス列が供給される。リセット期間においては、Xサステイン回路26及び27からそれぞれ、電極X1～X5に共通に全面書き込みパルスが供給される。アドレス期間においては、走査パルスに対応して、図7及び図8に示すように、2アドレスサイクルのパルス列が奇数Xサステイン回路26から、X電極のうち奇数番目の電極X1、X3及びX5に供給され、該パルス列の位相を180°ずらしたパルス列が、偶数Xサステイン回路27から、X電極のうち偶数番目の電極X2及びX4に供給される。

【0044】上記回路223、232、24、25、26及び27は、電源回路29から供給される電圧をオン/オフするスイッチング回路である。図5は、表示画像の1フレームの構成を示す。このフレームは、奇数フィールドと偶数フィールドとに2分割され、いずれのフィールドも第1～3サブフィールドからなる。各サブフィールドにつき、奇数フィールドではPDP10の各電極に図7に示す波形の電圧を供給して図1の行L1、L3、L5及びL7を表示させ、偶数フィールドではPDP10の各電極に図8に示す波形の電圧を供給して図1の行L2、L4、L6及びL8を表示させる。第1～3サブフィールドでのサステイン期間はそれぞれT1、2T1及び4T1となっており、各サブフィールドではその期間の長さに比例した回数だけ維持放電が行われる。これにより、輝度が8階調となる。同様に、サブフィールド数を8にし、サステイン期間の比を1:2:4:8:16:32:64:128とすれば、輝度が256階調となる。

【0045】アドレス期間での表示行の走査は、図6(A)の○内の番号順に行われる。すなわち、奇数フィールドでは表示行L1、L3、L5及びL7の順に走査され、偶数フィールドでは表示行L2、L4、L6及びL8の順に走査される。次に、奇数フィールドでの動作を図7に基づいて説明する。図7中のW、E、A及びS

はそれぞれ全面書き込み放電、全面自己消去放電、アドレス放電及び維持放電が生ずる時点を示している。以下、簡単化のために次のように総称する。

【0046】X電極：電極X1～X5

奇数X電極：電極X1、X3及びX5

偶数X電極：電極X2及びX4

Y電極：電極Y1～Y4

奇数Y電極：電極Y1及びY3

偶数Y電極：電極Y2及びY4

アドレス電極：アドレス電極A1～A6

また、

V_{fxy} ：隣合うX電極とY電極との間の放電開始電圧
 V_{fay} ：対向するアドレス電極とY電極との間の放電開始電圧

V_{wall} ：隣合うX電極とY電極との間の放電により生じた壁電荷による、正の壁電荷と負の壁電荷との間の電圧（壁電圧）

とする。例えば、 $V_{fxy}=290V$ 、 $V_{fay}=180V$ である。また、アドレス電極とY電極との間をA-Y電極間と称し、他の電極間についても同様に称す。

【0047】（1）リセット期間

リセット期間では、X電極に供給される電圧波形は全面書き込みパルスで互いに同一であり、Y電極に供給される電圧波形は0Vで互いに同一であり、アドレス電極に供給される電圧波形は中間電圧パルスで互いに同一である。最初、各電極の印加電圧は0Vとなっている。リセット期間の前のサステイン期間の最後の維持パルスにより、点灯画素のMgO保護膜15上には、X電極側に正の壁電荷が存在しY電極側に負の壁電荷が存在する。消灯画素のX電極側及びY電極側には壁電荷が殆ど存在しない。

【0048】 $a \leq t \leq b$ において、X電極に電圧 V_w のリセットパルスが供給され、アドレス電極に電圧 V_{aw} の中間電圧パルスが供給される。例えば $V_w=310V$ であって、 $V_w > V_{fxy}$ であり、壁電荷の有無に係わらず隣合うX-Y電極間、すなわち表示行L1～L8のX-Y電極間で全面書き込み放電Wが生じ、生じた電子及び正イオンがX-Y電極間電圧 V_w による電界で引かれて逆極性の壁電荷が生じ、これにより放電空間の電界強度が低減し、1～数 μs で放電が終結する。電圧 V_{aw} は $V_w/2$ 程度であり、リセットパルス印加時にはA-X電極間の電圧とA-Y電極間の電圧とが互いに逆相で絶対値がほぼ等しくなるので、放電により蛍光体に付着する壁電荷の平均はほぼ0になる。

【0049】 $t=b$ でリセットパルスが立ち下ると、すなわち壁電圧と逆極性の印加電圧が消失すると、X-Y電極間の壁電圧 V_{wall} が放電開始電圧 V_{fxy} より大きくなり、全面自己消去放電Eが生ずる。この際、X電極、Y電極及びアドレス電極がいずれも0Vであるので、この放電により壁電荷は殆ど生ぜず、放電空間内で

イオンと電子が再結合して殆ど完全に中和される。空間には、再結合しきれない多少の電荷が漂っているが、この空間電荷は、次のアドレス放電において、放電を起こしやすくする種火の役割を果たす。これは、ブライミング効果として知られている。

【0050】（2）アドレス放電期間

アドレス期間では、奇数X電極に供給される電圧波形は互いに同一であり、偶数X電極に供給される電圧波形は互いに同一であり、非選択のY電極に供給される電圧波形は電圧 $-V_c$ で互いに同一である。Y電極はY1～Y4の順に選択され、選択された電極に電圧 $-V_y$ の走査パルスが供給され、非選択の電極は電圧 $-V_c$ にされる。例えば、

$$V_c = V_a = 50V, V_y = 150V$$

である。

【0051】($c \leq t \leq d$) 電極Y1に電圧 $-V_y$ の走査パルスが供給され、アドレス電極には点灯させようとする画素について電圧 V_a の書き込みパルスが供給される。次の関係、

$$V_a + V_y > V_{fay}$$

が成立しており、点灯させようとする画素についてのみアドレス放電が生じ、逆極性の壁電荷が生じて放電が終結する。このアドレス放電の際、電極Y1と隣合う電極X1及びX2のうち、電極X1のみに電圧 V_x のパルスが供給されている。このアドレス放電でトリガされる場合のX-Y電極間放電開始電圧を V_{xyt} とすると、次の関係、

$$V_x + V_c < V_{xyt} < V_x + V_y < V_{fxy}$$

が成立しており、表示行L1のX1-Y1電極間で書き込み放電が生じ、自己放電しない程度の逆極性の壁電荷がX1-Y1電極間に生成されて放電が終結する。他方、表示行L2のX2-Y1電極間では放電が生じない。

【0052】($d \leq t \leq e$) 電極Y2に電圧 $-V_y$ の走査パルスが供給され、偶数X電極に電圧 V_x のパルスが供給され、アドレス電極には点灯させようとする画素について電圧 V_a の書き込みパルスが供給され、上記同様にして、表示行L3のX2-Y2電極間で書き込み放電が生じ、逆極性の壁電荷が生成され、他方、表示行L4のX3-Y2電極間では放電が生じない。

【0053】以下、 $e \leq t \leq g$ において上記同様の動作が行われる。このようにして、表示行L1、L3、L5及びL7の順に、点灯しようとする画素について、表示データの書き込み放電が生じ、そのY電極側に正の壁電荷が生成され、そのX電極側に負の壁電荷が生成される。

（3）サステイン期間

サステイン期間では、奇数X電極及び偶数Y電極に同位相かつ同電圧 V_s の維持パルス列が供給され、この維持パルス列の位相を 180° （1/2周期）ずらした維持

パルス列が偶数X電極及び奇数Y電極に供給される。また、最初の維持パルスの立ち上がり同期して、アドレス電極に電圧 V_e が供給され、サステイン期間が終了するまで維持される。

【0054】($h \leq t \leq p$) 奇数Y電極及び偶数X電極に電圧 V_s の維持パルスが供給される。奇数Y-奇数X電極間の画素の実効電圧は $V_s + V_{wall}$ となり、偶数Y-偶数X電極間の画素の実効電圧は $V_s - V_{wall}$ となり、奇数X-偶数Y電極間及び偶数X-奇数Y電極間の画素の実効電圧は $2V_{wall}$ となる。次の関係、 $V_s < V_{fxy} < V_s + V_{wall}$ 、 $2V_{wall} < V_{fxy}$ が成立しており、奇数Y-奇数X電極間で維持放電が生じ、逆極性の壁電荷が生じて放電が終結する。その他の電極間では維持放電が生じない。したがって、奇数フィールド内での奇数表示行L1及びL5のみ表示が有効になる。偶数Y-偶数X電極間では、この初回のみ維持放電が生じない。

【0055】($q \leq t \leq r$) 奇数X電極及び偶数Y電極に電圧 V_s の維持パルスが供給される。奇数X-奇数Y電極間及び偶数Y-偶数X電極間の画素の実効電圧はいずれも $V_s + V_{wall}$ となり、奇数Y-偶数X電極間及び奇数X-偶数Y電極間の実効電圧は0となる。これにより、奇数X-奇数Y電極間及び偶数Y-偶数X電極間で維持放電が生じ、逆極性の壁電荷が生じて放電が終結する。その他の電極間では維持放電が生じない。したがって、奇数フィールドの全奇数表示行L1、L3、L5及びL7の表示が同時に有効になる。

【0056】以下、上記同様の維持放電が繰り返される。この場合、図7中に記載した壁電荷から明らかなように、非表示行の奇数Y-偶数X電極間及び奇数X-偶数Y電極間の画素の実効電圧は0となる。サステイン期間の最後の維持放電は、壁電荷の極性が上記リセット期間の始めの状態になるようにする。次に、偶数フィールドでの動作を説明する。

【0057】図1において、奇数フィールドでは上記のように電極Y1~Y4と図1の上側に隣合う電極X1~X4との対の行表示行L1、L3、L5及びL7の表示が有効になる。偶数フィールドでは電極Y1~Y4と図1の下側に隣合う電極X2~X5との対の行表示行L2、L4、L6及びL8の表示を有効にすればよい。これは、電極Y1に対する電極X1と電極X2の役割を逆にし、電極Y2に対する電極X2と電極X3の役割を逆にし、以下同様にすればよい。すなわち、グループ化された奇数X電極と偶数X電極とに供給する電圧波形を互いに入れ替えればよい。図8は、偶数フィールドでのこのような電極印加電圧波形を示す。

【0058】偶数フィールドでの動作は、以上の説明及び図8から明かであり、概説すると、リセット期間では全面書き込み放電W及び全面自己消去放電Eが行われ、アドレス期間では電極Y1~Y4が順に選択されて表示

行L2、L4、L6、L8の順に表示データの書き込み放電が行われ、サステイン期間ではこれら表示行L2、L4、L6、L8での同時の維持放電が繰り返される。

【0059】本第1実施形態の駆動方法によれば、奇数フィールドの表示行と偶数フィールドの表示行とが放電に関し互いに影響しないので、PDPを、図3iのPDP10Qから隔壁191~199を除去した図1の構成とすることができ、PDP10の製造が容易になって安価になり、かつ、画素ピッチを縮小して高精細化を達成することができる。

【0060】[第2実施形態] 図7及び図8において、パルスの個数を低減することができれば消費電力を低減できる。アドレス期間において、奇数X電極及び偶数X電極に供給されるパルスを連続させることができれば、パルス数を低減できる。これを実現するには、走査順を図6(B)に示すようにすればよい。すなわち、奇数フィールド内の表示行L1、L3、L5及びL7をさらに奇数行と偶数行にわけ、その一方を順に走査した後に他方を順に走査すればよい。偶数フィールドについても奇数フィールドの場合と同様である。

【0061】図9は、このような方法を実施するための第2実施形態のプラズマディスプレイ装置20Aの概略構成を示す。アドレス期間において、電極Y1、Y3、Y2、Y4の順に走査するために、ドライバ232(2)の出力端が電極Y3に接続され、ドライバ232(3)の出力端が電極Y2に接続されている。走査回路23Aは、奇数Yサステイン回路24の出力端がドライバ232(1)及びドライバ232(2)の入力端に接続され、偶数Yサステイン回路25の出力端がドライバ232(3)及びドライバ232(4)の入力端に接続されている点で、図4の走査回路23と異なっている。これに応じて、奇数Xサステイン回路26A及び偶数Xサステイン回路27Aは、奇数X電極及び偶数X電極への印加電圧波形が図10及び図11に示すようになるように信号を出力する。

【0062】奇数X電極及び偶数X電極にはそれぞれ、奇数フィールド及び偶数フィールドの各々のアドレス期間において、幅広の1個のパルスを供給すればよいので、図4の場合よりも消費電力を低減でき、また、奇数Xサステイン回路26A及び偶数Xサステイン回路27Aの構成が図4の奇数Xサステイン回路26及び偶数Xサステイン回路27より簡単になる。

【0063】他の点は上記第1実施形態と同一である。[第3実施形態] 図7において、電極X1、X3及びX5に共通に電圧 V_x のパルスが供給され、電極X2及びX4に共通に電圧 V_x のパルスが供給されるが、電極Y1~Y4を順に選択したときに電極X1~X4を順に選択して電圧 V_x のパルスを供給すれば充分である。このようにすれば、電極に供給されるパルス数が低減されるので、消費電力を低減できる。

【0064】そこで、第3実施形態のプラズマディスプレイ装置20Bでは、図12に示す如く、X電極に対しても走査回路30を備えている。走査回路30は、走査回路23よりも構成要素が1電極分多いだけである。アドレス期間において、制御回路21Aからシフトレジスタ301へ、奇数フィールドではビット301(1)のデータ入力端に‘1’が供給され、偶数フィールドではビット301(2)のデータ入力端に‘1’が供給される。リセット期間及びサステイン期間では、シフトレジスタ301の出力は0にされる。

【0065】他の点については、上記第1実施形態と同一である。本第3実施形態によれば、アドレス期間においてX電極には必要なパルスのみ供給され、第1実施形態の場合よりも消費電力が低減される。

【第4実施形態】図7及び図8の駆動電圧波形には互いに同一のものがあり、同一駆動電圧波形を得るための制御信号を共通の回路から出力させるようにすれば、回路構成が簡単になる。

【0066】そこで、本発明の第4実施形態では、プラズマディスプレイ装置20Cを図13に示すように構成している。この装置では、図4の奇数Yサステイン回路24、偶数Yサステイン回路25、奇数Xサステイン回路26及び偶数Xサステイン回路27の替わりにサステイン回路31、32及び切換回路33を用いている。サステイン回路31及び32の出力電圧波形S1及びS2はそれぞれ、図14に示す如く、図7の奇数X電極及び偶数X電極の印加電圧波形に等しくなっている。図13において、切換回路33は、連動する切換スイッチ331及び332と、連動する切換スイッチ333及び334と、連動する切換スイッチ335及び336とを備えている。切換スイッチは、例えばFETで構成される。切換回路33の切り換え制御は、制御回路21Bにより行われる。

【0067】図示の状態では、ドライバ232(1)～232(4)の入力端に0Vが供給され、ドライバ281及び282の入力端にはそれぞれ電圧波形S1及びS2が供給される。これは図7及び図8のリセット期間及びアドレス期間に対応している。図13の状態から、切換スイッチ331及び332を切り換えると、ドライバ232の奇数要素及び偶数要素の入力端にそれぞれ電圧波形S2及びS1が供給され、図7のサステイン期間に対応する。

【0068】この状態から切換スイッチ335及び336を切り換えると、ドライバ281及び282の入力端にそれぞれ電圧波形S2及びS1が供給され、図8のサステイン期間に対応する。本第4実施形態のプラズマディスプレイ装置20Cによれば、図4の装置よりも簡単な構成で図4の装置と同一動作を行うことができる。

【0069】【第5実施形態】図13の装置の特徴は、図12の装置に対しても適用できる。図15は、これが

適用されたプラズマディスプレイ装置20Dを、本発明の第5実施形態として示す。サステイン回路31、32及び切換回路33は、制御回路21Cからの制御信号に基づいて図13の場合と同一動作を行う。

【0070】本第5実施形態のプラズマディスプレイ装置20Dによれば、図12の装置よりも簡単な構成で図12の装置と同一動作を行うことができる。

【第6実施形態】以上の各実施形態においては、図5の奇数フィールドの各サブフィールドについて、偶数フィールドを表示しないにもかかわらず、リセット期間において全面書き込み放電W及び全面自己消去放電Eが行われ、無効発光により黒表示の表示品質が低下する原因となる。偶数フィールドについても同様である。第6実施形態では、この無効発光を低減するために、図16及び図17に示すような波形の電圧を電極に供給している。

【0071】図16の第1サブフィールドは、図7の場合と同一であり、リセット期間において非表示行についても全面書き込み放電W及び全面自己消去放電Eによる発光が生ずる。これは、1つ前の偶数フィールドにおいて表示が行われ、壁電荷が存在するので、これを消滅させる必要があるからである。しかし、非表示行ではアドレス期間及びサステイン期間において放電が生じないので、奇数フィールドの第2サブフィールド以降におけるリセット期間においては、非表示行に書き込み放電W及び自己消去放電Eを生じさせる必要がない。

【0072】そこで、奇数フィールドの第2サブフィールド以降でのリセット期間において、奇数X電極と隣り合う偶数Y電極に、電圧 V_s のキャンセルパルスPCを供給することにより、奇数X-偶数Y電極間の電圧を $V_{fx-y}-V_{wall}$ 未満にして、放電しないようにしている。この際、偶数X電極に電圧 V_w の書き込みパルスを供給すると、表示行である偶数X-偶数Y電極間も放電が生じなくなるので、この書き込みパルスの印加時間を $t=a\sim b$ から $t=c\sim d$ へずらしている。これにより、非表示行である奇数Y-偶数X電極間に放電が生ずるので、さらに、奇数Y電極に電圧 V_s のキャンセルパルスPCを供給している。このキャンセルパルスPCは、奇数X電極に供給される書き込みパルスから時間軸上ずれているので、奇数X-奇数Y電極間の書き込み放電に影響しない。

【0073】 $t=a\sim b$ 及び $t=c\sim d$ において奇数X電極及び偶数X電極に供給する書き込み電圧に対応して、アドレス電極には、電圧 V_{aw} のパルスが供給される。 $t=d$ より後の動作は、キャンセルパルスPCを供給しない場合と同一である。第3サブフィールド以降かつ奇数フィールドのリセット期間についても第2サブフィールドのリセット期間と同一である。

【0074】偶数フィールドの場合も奇数フィールドの場合と同様であり、これを図17に示す。偶数フィールドの場合、上記第1実施形態で説明したのと同じ理由

で、図16の奇数X電極と偶数X電極とに供給する電圧波形を互いに入れ替えたものにすればよい。

【第7実施形態】図18は、本発明の第7実施形態のプラズマディスプレイ装置20Eを示す。

【0075】PDP10Aの概略構成は、図1のPDP10と同一であるが、電極の用い方が図4の場合と異なっている。すなわち、電極Y1、Y2及びY3を奇数と偶数のグループに分けず、電極Y1～Y3に隣り合う一方側の電極X1、X3及びX5を奇数X電極とし、他方側の電極X2、X4及びX6を偶数X電極として、電極対(Y1, X1)、(Y2, X3)及び(Y3, X5)の奇数表示行と、電極対(Y1, X2)、(Y2, X4)及び(Y3, X6)の偶数表示行とでインタレース表示を行うようにしている。

【0076】偶数X-奇数X電極間は完全な非表示行となるが、平行な3本の電極で2表示行を形成し且つ面放電電極に平行な隔壁を備えていないので、図30のように平行な4本の電極で2表示行を形成しかつ面放電電極に平行な隔壁を備えている場合よりも画素ピッチを短くでき、高精細化が可能である。また、電極Y1～Y3を偶数と奇数とに分割していないので、第1実施形態よりも構成が簡単となる。

【0077】図19は、図18のPDP10Aのアドレス電極に沿った縦断面を示す。図2の構成と異なる点は、電極Y1の両側の電極X1及びX2について、金属電極131及び133がそれぞれ透明電極121及び123上の、電極Y1から離れた側に形成されている点である。他のY電極の両側についても同様である。このようにすることにより、例えばX1-Y1電極間に電圧を供給した場合に、電極X1上の電界は金属電極131側で強くなるので、高精細化のために電極ピッチを狭くしても、画素面積を、金属電極131を透明電極121の中央線に形成した場合よりも実質的に広くすることができる。電極X1及びX2の電極Y1と反対側は非表示行であるので、このようにしても問題はなく、かつ、非表示行を実質的に狭くすることができるので好ましい。図19では、透明電極122の幅を透明電極121及び123の幅と同一にしているが、走査パルスが供給される電極Y1は、その幅を狭くすることにより消費電力を低減できる。

【0078】図18において、走査回路23B、奇数サステイン回路26B及び偶数サステイン回路27Bはそれぞれ、図4の走査回路23、奇数Xサステイン回路26及び偶数Xサステイン回路27に対応している。図4と比較すると、奇数Yサステイン回路24及び偶数Yサステイン回路25の替わりに1つのYサステイン回路24Aを用いられ、構成が簡単になっている。

【0079】図20は、アドレス期間における表示行走査順を示す。偶数X-奇数X電極間が完全非表示行となるので、図6(A)に示すように1フレームを奇数フ

ールドと偶数フィールドとに分割すれば、各フィールドについて表示行の割合が1/3になり、表示品質上好ましくない。この問題は、奇数フレームにおいて、表示行L1、L3、L5の順に走査し奇数フィールドの表示データのみを書き込み、偶数フレームにおいて、表示行L2、L4、L6の順に走査し偶数フィールドの表示データのみを書き込むことにより解決される。この場合、図5に対応したフレーム構成は図21に示すようになる。

【0080】図22は、Y電極が4本の場合の、奇数フレームでの電極印加電圧波形を示す。リセット期間では、図20の表示行L1～L6において全面書き込み放電W及び全面自己消去放電Eが生ずるが、偶数X-奇数X電極間の電圧は0になるので完全非表示行で放電が生じない。この点が図7の場合と異なる。

【0081】アドレス期間では、電極Y1～Y4が順に走査されるので、奇数X電極には幅広の1つのパルスが供給され、図7の場合よりも消費電力を低減できる。サステイン期間では、Y電極に電圧Vsの維持パルスが周期的に供給され、奇数X電極にはこのパルス列の位相を180°ずらしたパルス列が供給されて、奇数X-Y電極間に交流維持パルスが供給され、第1実施形態の場合と同様に維持放電が生ずる。偶数X電極は0Vにされ、これにより、偶数X-Y電極間及び偶数X-奇数X電極間の非表示行には交流が供給されず、これらの電極間では放電が生じない。

【0082】図23は、偶数フレームでの電極印加電圧波形を示す。この波形は、図22において奇数X電極と偶数X電極とに供給する電圧波形を互いに入れ替えたものになっている。本第7実施形態によれば、奇数フレームと偶数フレームとを交互に表示するインタレース走査により、ノンインタレース走査の場合よりもアドレス期間を半分に短縮することができるので、維持放電期間が長くなり、これによりサブフレーム数を多くして多階調化が可能となり又は維持放電回数を多くして高輝度化が可能となる。

【0083】【第8実施形態】図24は、本発明の第8実施形態のPDP10Bの一部の、アドレス電極に沿った縦断面を示す。図19と異なる点は、電極Y1を金属電極132のみで構成して透明電極122を省略している点である。他のY電極についても同様である。これにより、上述のように、Y電極に走査パルスを供給した時の消費電力が低減される。また、画素ピッチをより狭くすることが可能となる。

【0084】【第9実施形態】リセット期間での、壁電荷を消去させるための放電は、プライミング効果によりアドレス放電が起こり易くなり、アドレス放電電圧を低下させることができる。しかし、全面で放電発光が生ずるので、黒表示の品質が低下する。そこで、この第9実施形態では、無効発光を低減するために、図25のようなPDP10Cを用いている。

【0085】PDP10Cは、図1のPDP10の電極間の1つおきをブラインド行B1～B3としたものである。ブラインド行B1～B3は完全非表示行であるので、表示行L1～L4についてノンインタレース走査を行う。ブラインド行B1～B3での無効発光が観察者側に漏れないように、ブラインド膜（遮光マスク）41～43を例えば図2の透明電極121と透明電極122との間又はこの部分に対応したガラス基板11に形成している。

【0086】図26は、アドレス期間を省略したリセット期間及びサステイン期間での電極印加電圧波形を示す。図中、PEは消去パルス、PWは書き込みパルス、PSは維持パルスである。リセット期間では、まず、奇数X電極及び奇数Y電極に、維持パルスより電圧が低い消去パルスPEが供給されて、全ブラインド行B1～B3で壁電荷に対し消去放電が行われる。次いで、偶数X電極及び偶数Y電極に、互いに維持パルスより電圧が高い書き込みパルスPWが供給されて、全ブラインド行B1～B3で書き込み放電が行われ、全ブラインド行B1～B3での壁電荷がほぼ均一になる。この書き込みパルスPWの電圧は、放電開始電圧以上であるが図7の電圧Vwよりも低く、書き込みパルスPWの立ち下がり後に自己消去放電は生じない。そこで、再度、奇数X電極及び奇数Y電極に消去パルスPEが供給されて、全ブラインド行B1～B3で壁電荷に対し消去放電が行われる。リセット期間でのこのような放電により、再結合しきれなかった空間電荷が表示行L1～L4に流れ込み、アドレス期間でのアドレス放電が生じやすくなる。

【0087】リセット期間では、全表示行L1～L4の電極X-Y間が0Vになるので、放電は行われず、無効発光が生じて黒表示品質が低下するのが防止される。アドレス期間での電極印加電圧波形は、表示行L1～L4について従来と同一、又は、図7の奇数フィールドを1フレームとみなした場合と同一である。サステイン期間は、図7の場合と同一である。

【0088】ブラインド行B1～B3により、第1実施形態の場合よりも高精細化が妨げられるが、図30の従来構成と比較すれば、隔壁191～196を形成する必要がないので、製造容易であり且つ画素ピッチをより短くすることができる。なお、リセット期間を、図7のリセット期間と同一にして全面書き込み放電及び全面自己消去放電を行ってもよい。

【0089】また、ブラインド行B1～B3で放電を行わない駆動方式のPDPであっても、ブラインド膜41～43の観察者側の面を蛍光体よりも暗い色、好ましくは黒色にすることにより、外光がブラインド膜41～43で吸収されるので、明るい場所において外光がブラインド行B1～B3の蛍光体で反射され観察者の目に入る場合よりも、画像のコントラストが向上する。

【0090】〔第10実施形態〕図27（A）～（E）

は、本発明の第10実施形態のアドレス電極を示す。図27（A）は平面図であり、図27（B）～（E）はそれぞれ図27（A）中のB-B線、C-C線、D-D線及びE-E線に沿った断面図である。図28（B）及び（E）では、アドレス電極の周囲の構成も記載されており、図2との関係から他の部分の構成も容易に理解することができる。

【0091】図2のアドレス電極A1に対応して、すなわち1画素列（1単色画素列）に対応して、1対のアドレス電極A11及びA21がガラス基板16上に形成され、その上方かつ蛍光体内に、各画素（単色）に対応してパッドB11、B21及びB31が形成されている。アドレス電極A11はコンタクトC21を介してパッドB21に接続され、アドレス電極A21はコンタクトC11及びC31を介してそれぞれパッドB11及びB31に接続されている。すなわち、1列に配置されたパッドが1つおきにアドレス電極A11及びA21に接続されている。他のアドレス電極A_{kj}、パッドB_{ij}及びコンタクトC_{ij}、 $k=1, 2, i=1\sim 3, j=1, 2$ についても同様である。

【0092】このような構成により、任意の奇数行と偶数行、例えばパッドB11～B13の行とパッドB21～B23の行とを同時に選択し、アドレス電極A11～A13にパッドB21～B23の行に対するアドレスパルスを供給し、同時にアドレス電極A21～A23にパッドB11～B13の行に対するアドレスパルスを供給することができる。

【0093】したがって、アドレス期間が従来の半分に短縮され、維持放電期間をその分長くすることができ、これにより、サブフレーム数を多くして多階調化が可能となり又は維持放電回数を多くして高輝度化が可能となる。本第10実施形態は、各種タイプのPDPに適用可能である。

〔第11実施形態〕図28は、本発明の第11実施形態のアドレス電極を示す。図28（A）は平面図であり、図28（B）～（E）はそれぞれ図28（A）中のB-B線、C-C線、D-D線及びE-E線に沿った断面図である。図28（B）では、アドレス電極の周囲の構成も記載されている。

【0094】この実施形態では、各隔壁間に4本のアドレス電極が形成され、その上方かつ蛍光体内にパッドが形成され、1列のパッドが4本の電極線に順に接続されている。図28中、A11～A43はアドレス電極であり、B11～B43はパッドであり、C11～C43はコンタクトである。このような構成のアドレス電極によれば、任意の2つの奇数行と任意の2つの偶数行とを同時に選択してアドレスパルスを供給することができる。

【0095】〔第12実施形態〕図29は、本発明の第12実施形態のアドレス電極の概略構成を示す。この実施形態では、表示面が領域51と52とに2分割され、

アドレス電極A11は領域51に属するパッドに接続され、アドレス電極A21は領域52に属するパッドに接続されている。他のアドレス電極及びパッドについても同様である。

【0096】このような構成によれば、領域51に属する任意の表示行と領域52に属する任意の表示行とを同時に選択してアドレスパルスを供給することができる。なお、本発明には外にも種々の変形例が含まれる。例えば、上記実施形態ではアドレス電極とX電極及びY電極とが放電空間を介し対向する基板上に形成されている場合を説明したが、本発明は、これらが同一基板側に形成されている構成に対しても適用可能である。

【0097】上記実施例では、リセット期間において壁電荷を全面消去し、アドレス期間において点灯させようとする画素に対し壁電荷の書き込みを行う場合を説明したが、本発明は、リセット期間において壁電荷を全面書き込みし、アドレス期間において消灯させようとする画素に対し壁電荷を消去させる構成に対しても適用可能である。

【0098】また、図1において、金属電極131は、透明電極121の裏面側、透明電極121の表面側及び裏面側、又は透明電極121内に形成されていてもよい。この点は、図1、19及び図24中の全ての金属電極についても同様である。

【図面の簡単な説明】

【図1】本発明の第1実施形態の面放電型PDPの概略構成図である。

【図2】図1のPDPのカラー画素の対向面間を広げた状態を示す斜視図である。

【図3】図1のPDPのカラー画素の、電極X1に沿った縦断面図である。

【図4】本発明の第1実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図5】フレームの構成を示す図である。

【図6】(A)及び(B)はアドレス期間における表示行走査順を示す図である。

【図7】本発明の1実施形態のPDP駆動方法を示す、奇数フィールドでの電極印加電圧波形図である。

【図8】本発明の1実施形態のPDP駆動方法を示す、偶数フィールドでの電極印加電圧波形図である。

【図9】本発明の第2実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図10】本発明の2実施形態のPDP駆動方法を示す、奇数フィールドでの電極印加電圧波形図である。

【図11】本発明の2実施形態のPDP駆動方法を示す、偶数フィールドでの電極印加電圧波形図である。

【図12】本発明の第3実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図13】本発明の第4実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図14】図13のサステイン回路31及び32の出力電圧波形を図7の奇数フィールドでのアドレス電極印加電圧波形と共に示す図である。

【図15】本発明の第5実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図16】本発明の6実施形態のPDP駆動方法を示す、奇数フィールドでの電極印加電圧波形図である。

【図17】本発明の6実施形態のPDP駆動方法を示す、偶数フィールドでの電極印加電圧波形図である。

10 【図18】本発明の第7実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図19】図18のPDPの一部の、アドレス電極に沿った縦断面図である。

【図20】アドレス期間における表示行走査順を示す図である。

【図21】フレームの構成を示す図である。

【図22】本発明の7実施形態のPDP駆動方法を示す、奇数フレームでの電極印加電圧波形図である。

20 【図23】本発明の7実施形態のPDP駆動方法を示す、偶数フレームでの電極印加電圧波形図である。

【図24】本発明の第8実施形態のPDPの一部の、アドレス電極に沿った縦断面図である。

【図25】本発明の第9実施形態の面放電型PDPの概略構成図である。

【図26】本発明の第9実施形態のPDP駆動方法を示す概略電極印加電圧波形図である。

【図27】(A)は本発明の第10実施形態のアドレス電極を示す平面図であり、(B)～(E)はそれぞれ(A)中のB-B線、C-C線、D-D線及びE-E線に沿った断面図である。

【図28】(A)は本発明の第11実施形態のアドレス電極を示す平面図であり、(B)～(E)はそれぞれ(A)中のB-B線、C-C線、D-D線及びE-E線に沿った断面図である。

【図29】本発明の第12実施形態のアドレス電極の概略構成図である。

【図30】従来の面放電型PDPの概略構成図である。

【図31】従来の他の面放電型PDPの概略構成図である。

【符号の説明】

10、10A～10C PDP

11、16 ガラス基板

121～123 透明電極

131～133 金属電極

14 誘電体

15 MgO保護膜

171～177 隔壁

181～183 蛍光体

20、20A～20E プラズマディスプレイ装置

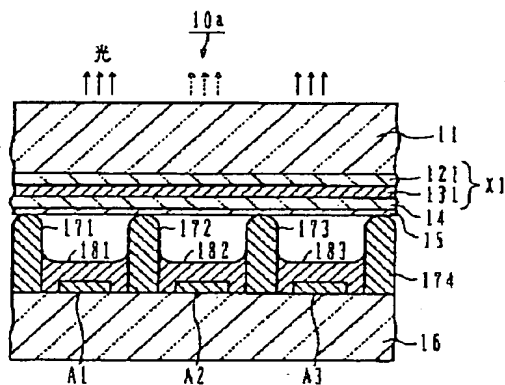
50 21、21A～21D 制御回路

35

- 22 アドレス回路
 221、231、301 シフトレジスタ
 222 ラッチ回路
 223、232、232A、28、302 ドライバ
 23、23A、23B 走査回路
 24 奇数Yサステイン回路
 24A Yサステイン回路
 25 偶数Yサステイン回路
 26、26A 奇数Xサステイン回路

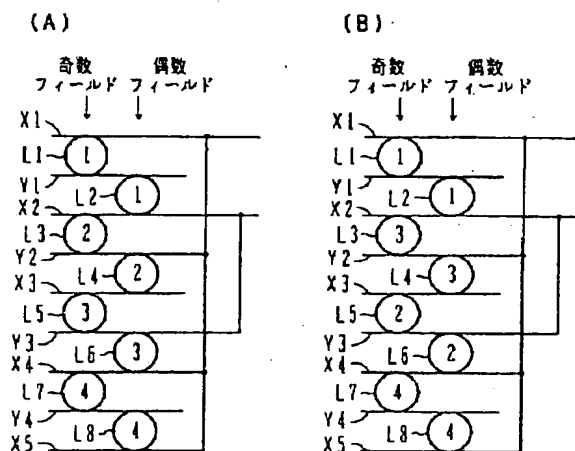
【図3】

図1のPDPのカラー画素の電極X1に沿った縦断面図



【図6】

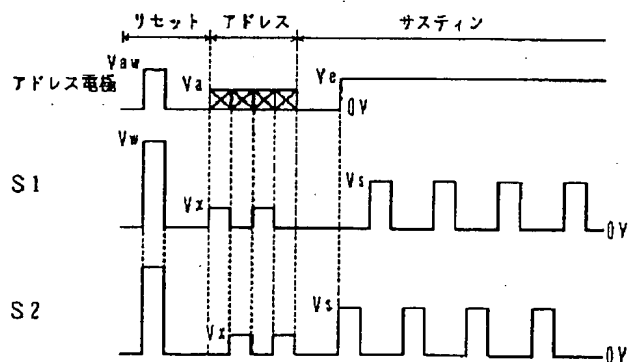
アドレス期間における表示走査順を示す図



36

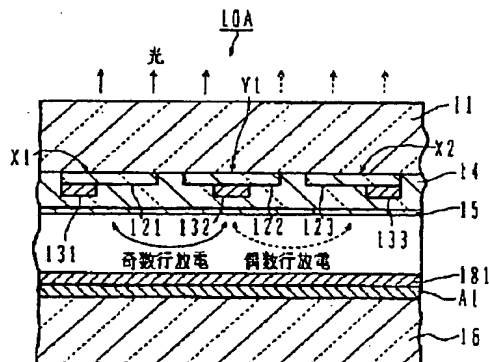
- 27、27A 偶数Xサステイン回路
 31、32 サステイン回路
 33 切換回路
 331~336 切換スイッチ
 A1~A6 アドレス電極
 X1~X5、Y1~Y4 電極
 L1~L5 表示行
 B1~B3 ブラインド行

【図14】

図13のサステイン回路31及び32の出力電圧波形を
図7の奇数フィールドでの電極印加電圧波形と共に示す図

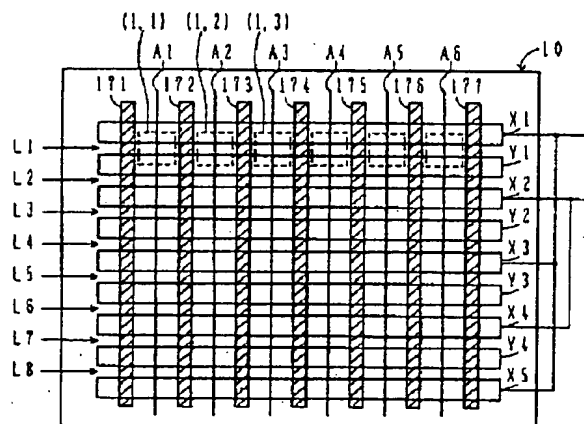
【図19】

図18のPDPの一部のアドレス電極に沿った縦断面図



【図1】

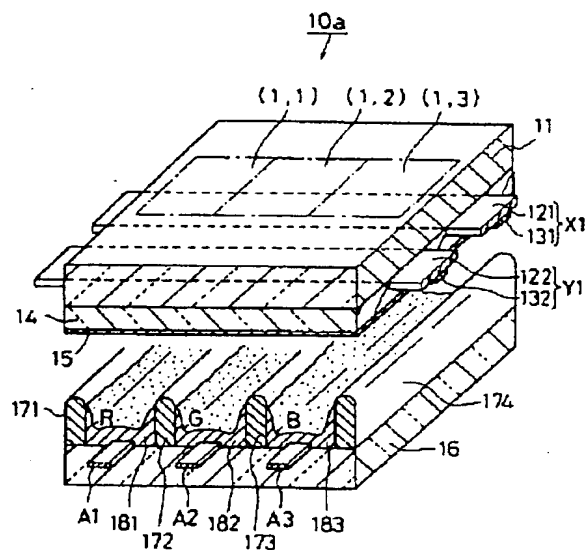
本発明の第1実施形態の面放電型PDPの概略構成図



10:PDP
X1~X5:X電極
Y1~Y4:Y電極
A1~A6:アドレス電極
L1~L8:表示行
171~177:隔壁

【図2】

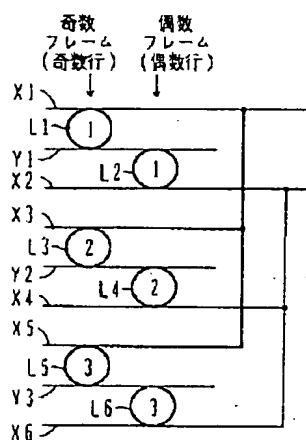
図1のPDPのカラー画素の対向面間を広げた状態を示す斜視図



(1,1)~(1,3):単色画素
11,16:ガラス基板
14:誘電体
15:MgO保護膜
171~174:隔壁
181~183:蛍光体
X1,Y1,A1~A3:電極

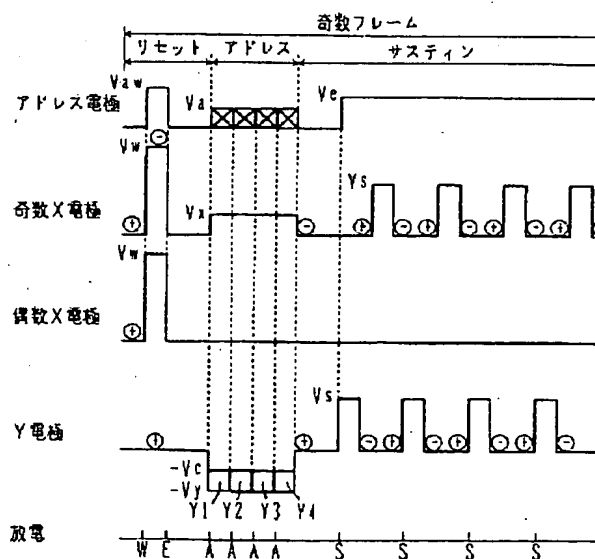
【図20】

アドレス期間における表示走査順を示す図



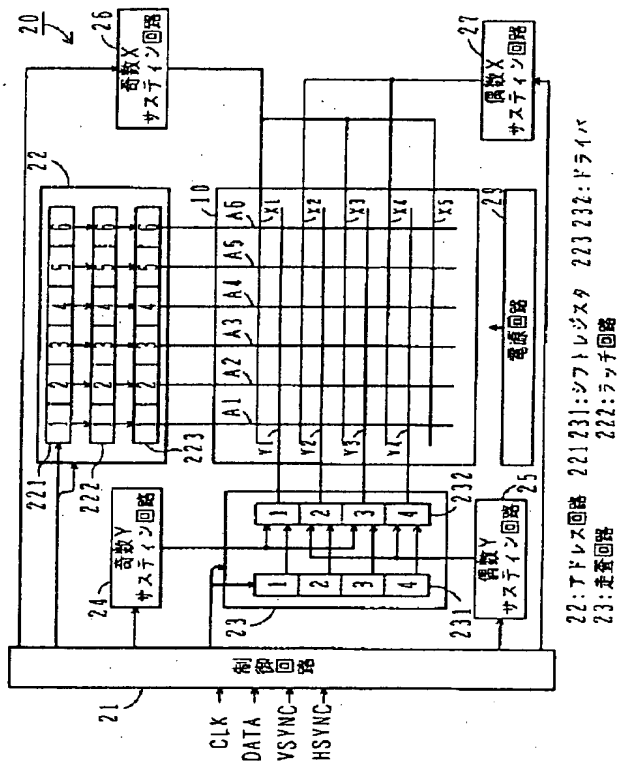
【図22】

本発明の第7実施形態のPDP駆動方法を示す
奇数フレームでの電極印加電圧波形図



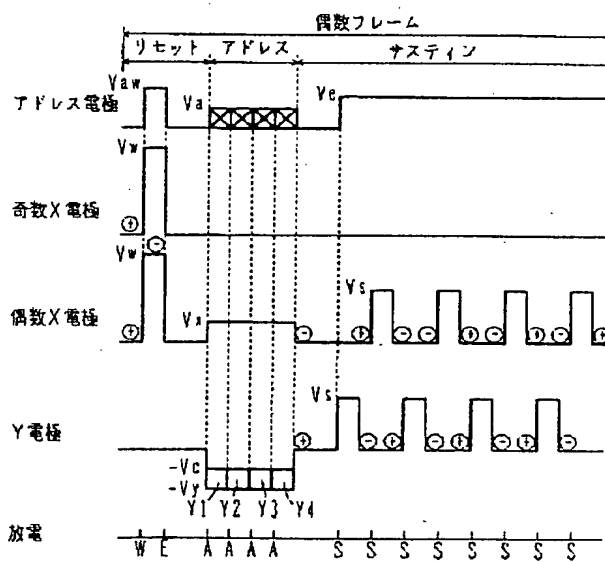
【図4】

本発明の第1実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



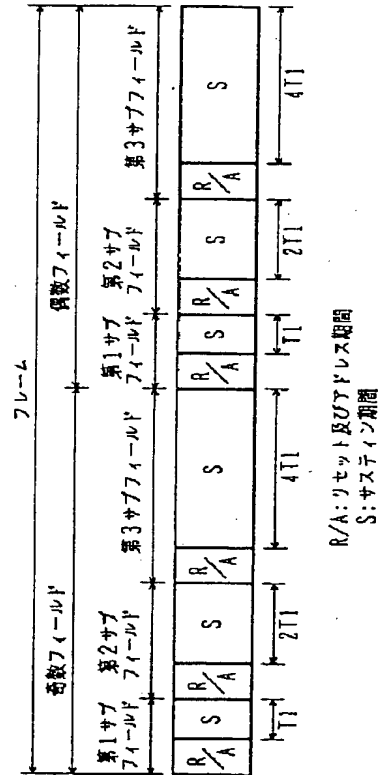
【図23】

本発明の第7実施形態のPDP駆動方法を示す偶数フレームでの電極印加電圧波形図



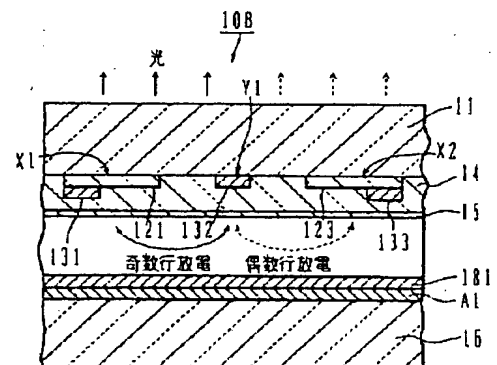
【図5】

フレームの構成を示す図



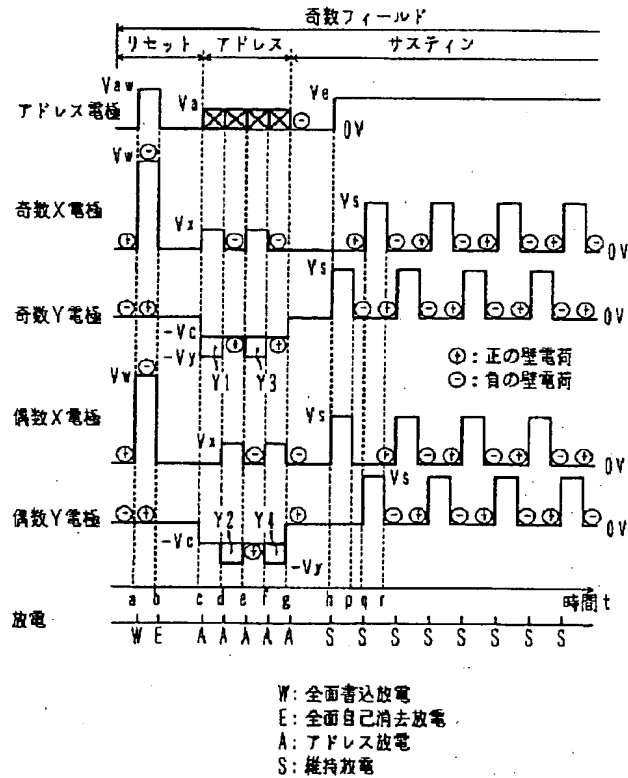
【図24】

本発明の第8実施形態のPDPの一部のアドレス電極に沿った縦断面図



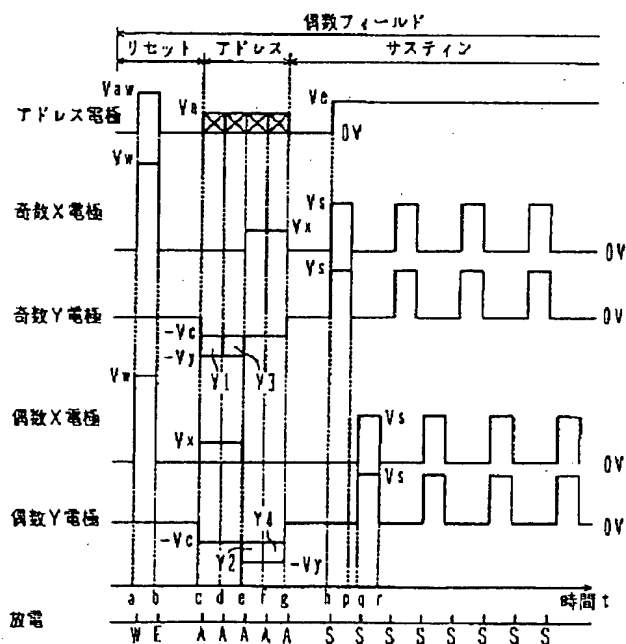
【図 7】

本発明の第1実施形態のPDP駆動方法を示す
奇数フィールドでの電極印加電圧波形図



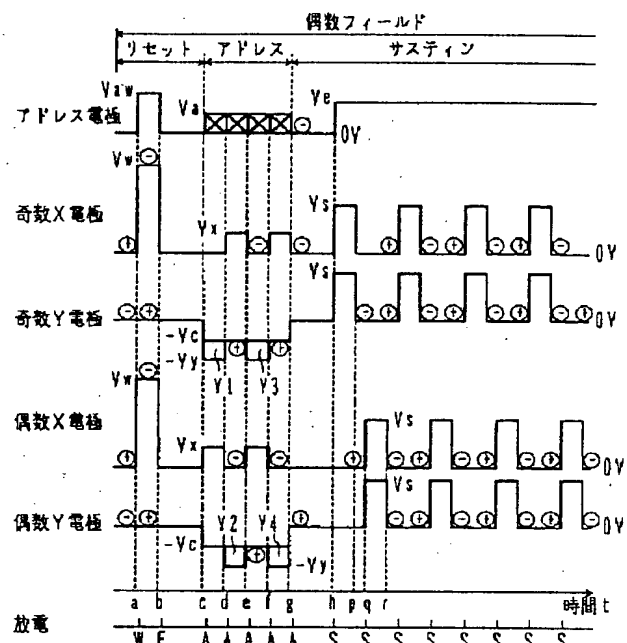
【図 11】

本発明の第2実施形態のPDP駆動方法を示す
偶数フィールドでの電極印加電圧波形図



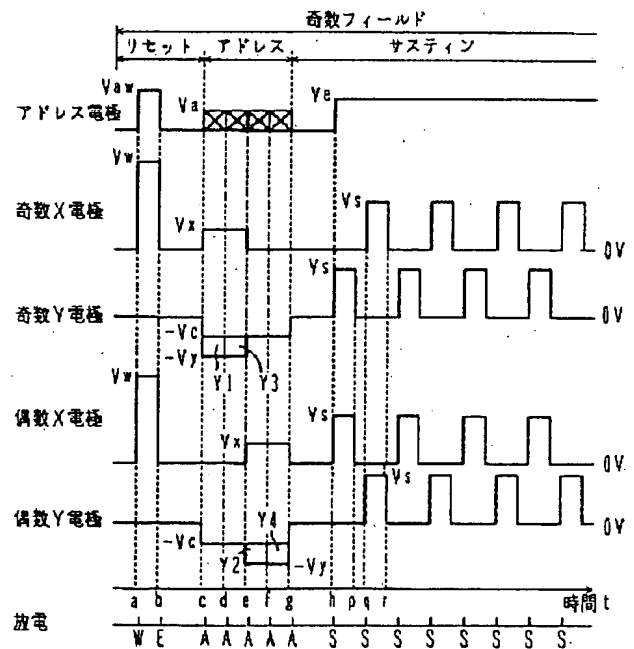
【図 8】

本発明の第1実施形態のPDP駆動方法を示す
偶数フィールドでの電極印加電圧波形図



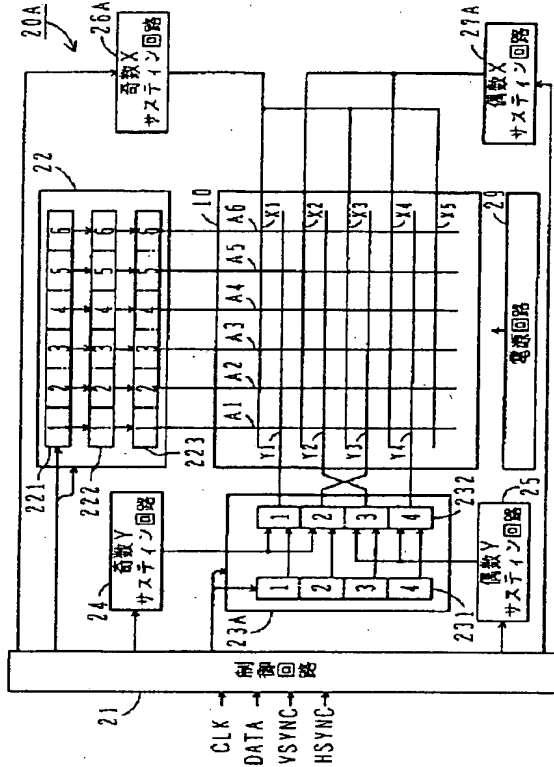
【図 10】

本発明の第2実施形態のPDP駆動方法を示す
奇数フィールドでの電極印加電圧波形図



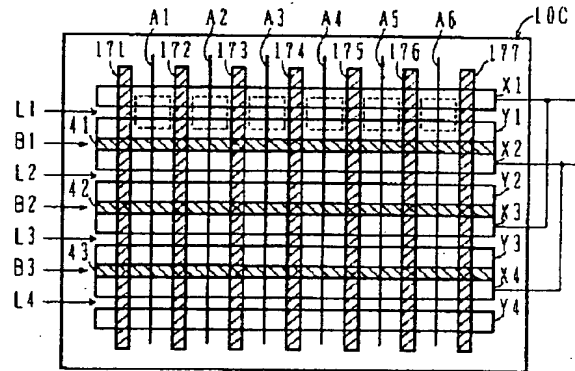
【図9】

本発明の第2実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



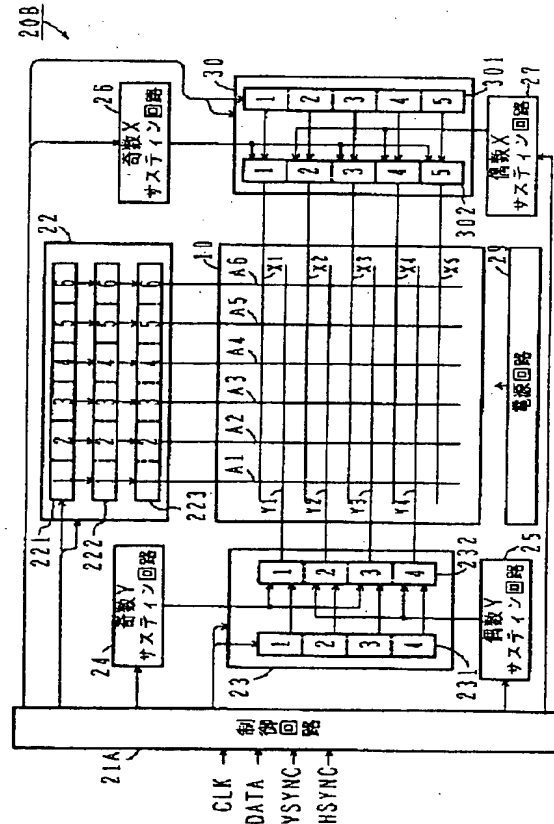
【図25】

本発明の第9実施形態の面放電型PDPの概略構成図



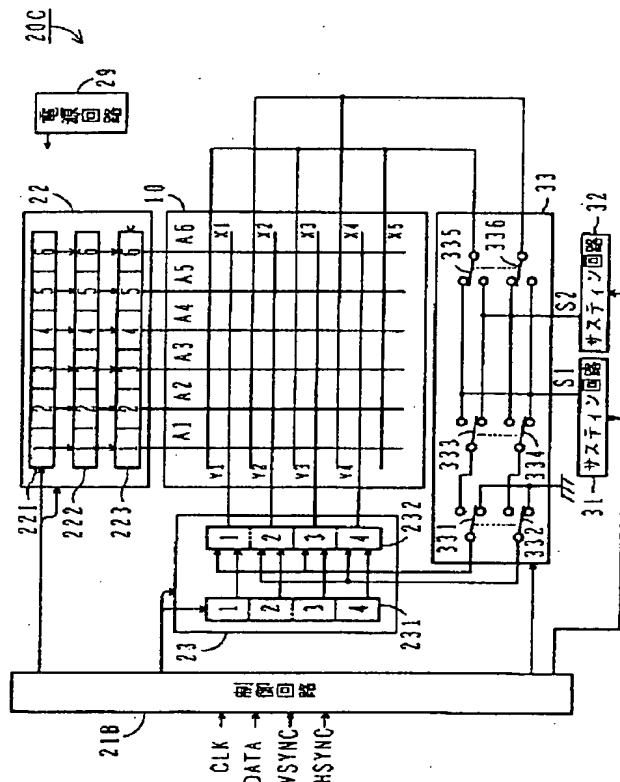
【図12】

本発明の第3実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



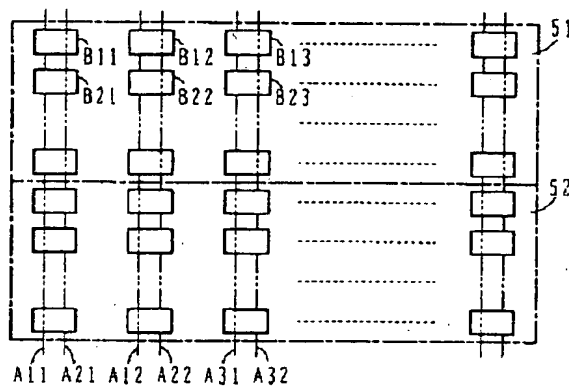
【図13】

本発明の第4実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



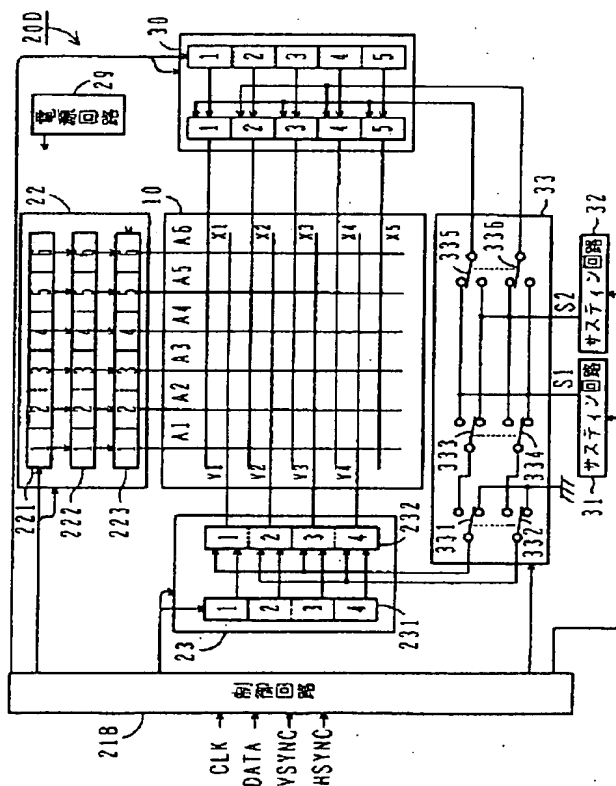
【図29】

本発明の第12実施形態のアドレス電極の概略構成図



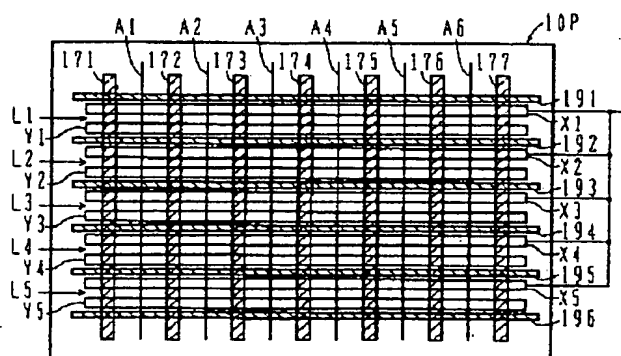
【図15】

本発明の第5実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



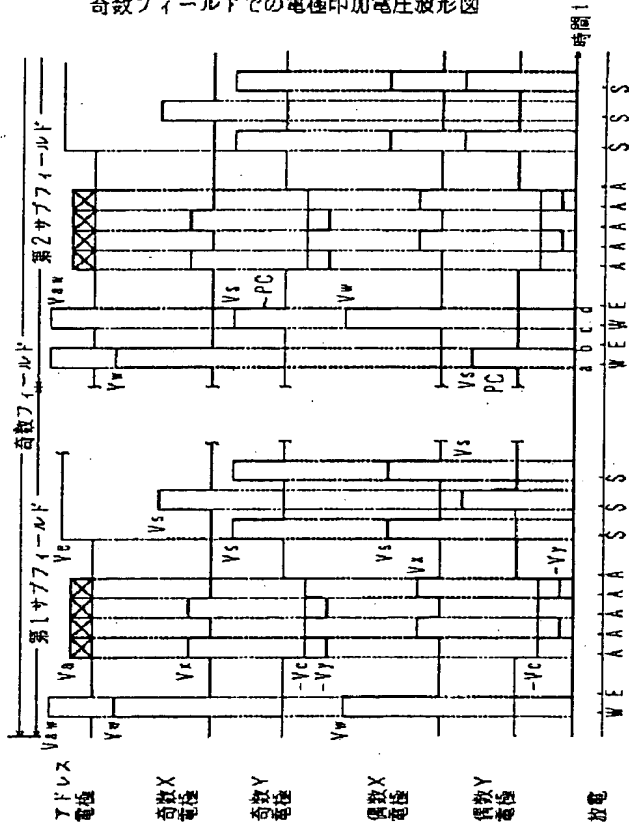
【図30】

従来の面放電型PDPの概略構成図



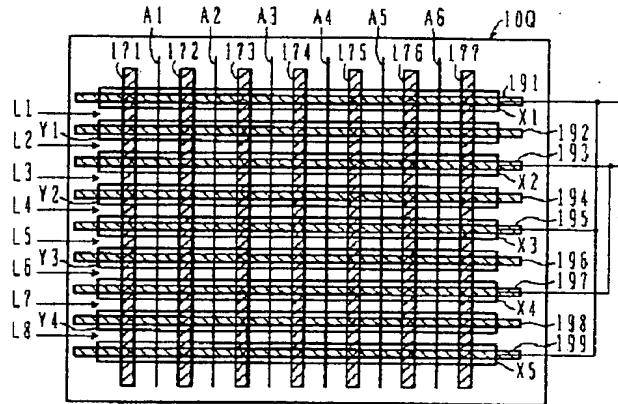
【図16】

本発明の第6実施形態のPDP駆動方法を示す
奇数フィールドでの電極印加電圧波形図



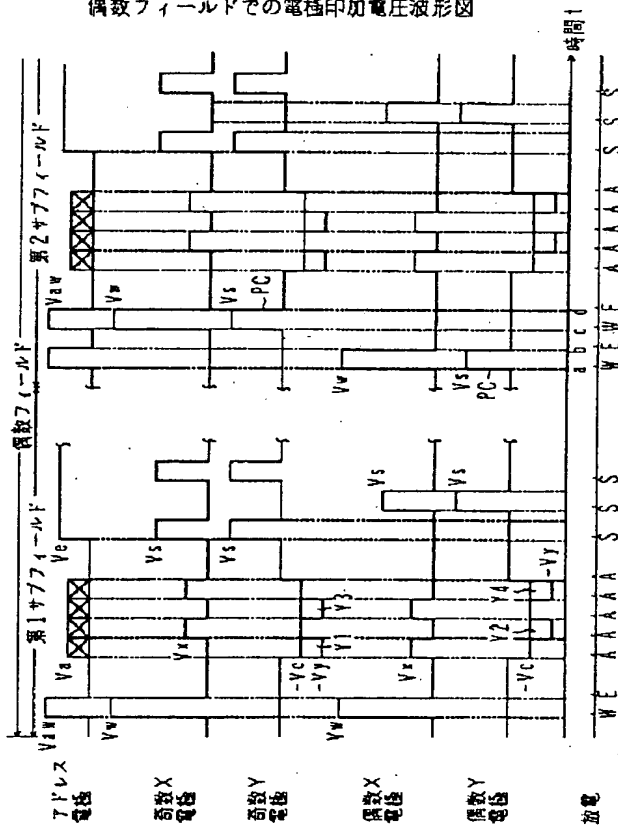
【図31】

従来の他の面放電型PDPの概略構成図



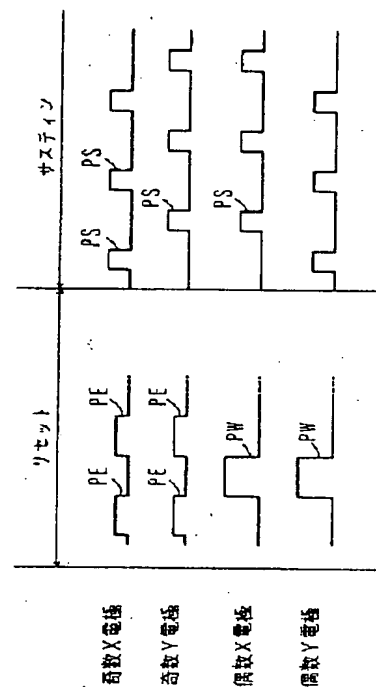
【図17】

本発明の第6実施形態のPDP駆動方法を示す
偶数フィールドでの電極印加電圧波形図



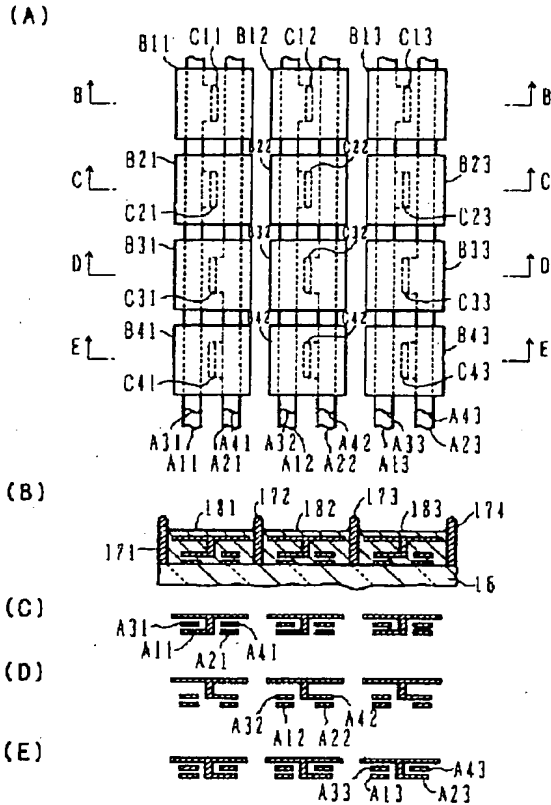
【图 26】

本発明の第9実施形態のPDP駆動方法を示す概略電圧印加波形図



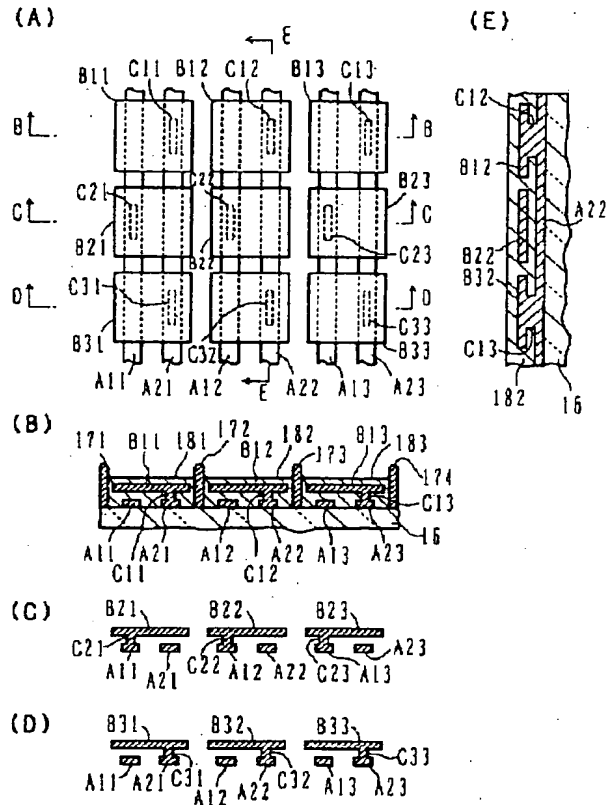
【図 28】

本発明の第 1 実施形態のアドレス電極を示す
平面図及び断面図



【図 27】

本発明の第 10 実施形態のアドレス電極を示す
平面図及び断面図



フロントページの続き

(72)発明者 浅見 文孝
神奈川県川崎市中原区上小田中 4 丁目 1
番 1 号 富士通株式会社内
(72)発明者 上田 嘉男
神奈川県川崎市中原区上小田中 4 丁目 1
番 1 号 富士通株式会社内
(72)発明者 岸 智勝
神奈川県川崎市中原区上小田中 4 丁目 1
番 1 号 富士通株式会社内

(72)発明者 富尾 重寿
神奈川県川崎市中原区上小田中 4 丁目 1
番 1 号 富士通株式会社内

(56)参考文献 特開 平 5-2993 (J P, A)
特開 平 2-220330 (J P, A)

(58)調査した分野(Int. Cl. 6, DB 名)

G09G 3/00 - 3/38

G09F 9/00 - 9/46

H01J 11/00 - 17/64